Wolf-Joachim Fischer
René Schüffny

MOS-VLSI-Technik

Informatik · Kybernetik · Rechentechnik

Herausgegeben von der Akademie der Wissenschaften der DDR
Zentralinstitut für Kybernetik und Informationsprozesse

Band 16

MOS-VLSI-Technik

von Wolf-Joachim Fischer und René Schüffny

MOS-VLSI-Technik

Eine Einführung in
- **Technologie**
- **Entwurf**
- **CAD-Systeme**
- **Schaltkreise**

von Wolf-Joachim Fischer und René Schüffny

Mit 203 Abbildungen und 22 Tabellen

Akademie-Verlag Berlin 1987

Verfasser: Dr. sc. techn. Wolf-Joachim Fischer
ZFT Mikroelektronik Dresden

Dr. sc. techn. René Schüffny
Technische Universität Dresden

ISBN 3-05-500223-7
ISSN 0232-1351

Erschienen im Akademie-Verlag Berlin, Leipziger Straße 3—4 DDR-1086 Berlin,
© Akademie-Verlag Berlin 1987
Lizenznummer: 202 · 100/405/87
Printed in the German Democratic Republic
Gesamtherstellung: VEB Druckerei „Thomas Müntzer", 5820 Bad Langensalza
Einband und Schutzumschlag: Dietmar Kunz
Lektor: Dipl.-Phys. Gisela Lagowitz
LSV 3535
Bestellnummer: 763 618 8 (6968)

05800

1. Vorwort

Die Mikroelektronik hat im letzten Jahrzehnt weltweit stürmischen Aufschwung genommen. Vergingen von der Patentierung eines feldgesteuerten Bauelementes im Jahre 1930 bis zur Herstellung erster MOS-Transistoren 1962 noch über dreißig Jahre, so wurden bereits zehn Jahre später integrierte Halbleiterspeicher mit mehreren tausend Transistoren hergestellt. Eine Etappe, die wir heute als Großintegration (LSI — large scale integration) bezeichnen, war erreicht. Heute, ein Dezennium danach, werden Schaltkreise mit mehreren hunderttausend Bauelementen industriell hergestellt, und Chips mit über einer Million Transistoren befinden sich in der Laborfertigung. Für diese Schaltkreisgeneration hat sich die Bezeichnung VLSI-Technik (very large scale integration) eingebürgert. Ein Ende dieser Phase überdurchschnittlichen Wachstums der Mikroelektronik ist gegenwärtig noch nicht absehbar. Noch größere Schaltkreise (ULSI — ultra large scale integration) mit Bauelementen im Submikrometerbereich befinden sich bereits in Vorbereitung.

Mit der Steigerung des Integrationsgrades ist es in zunehmendem Maße möglich geworden, komplette Systeme auf einem einzigen integrierten Schaltkreis zu realisieren. Damit erweitert sich ständig der Kreis derer, die nicht nur Anwender von Schaltkreisen sind, sondern auch aktiv Anteil an der Konzeption, Entwicklung und Herstellung solcher Schaltkreise haben. Unser Anliegen ist es, besonders diesem Interessentenkreis einen Einstieg in die MOS-VLSI-Technik zu ermöglichen. Dabei ist es uns nicht leichtgefallen. aus der kaum übersehbaren Menge des verfügbaren Materials auszuwählen. Viele interessante Probleme mußten weggelassen oder konnten nur mit wenigen Worten angedeutet werden.

Die Beschränkung auf Silizium-MOS-Schaltkreise wurde gewählt, da diese Schaltkreise besonders typisch für die VLSI-Technik sind. Das schließt natürlich nicht aus, daß heute und auch in Zukunft für Spezialanwendungen Bipolarschaltungen oder Schaltkreise auf GaAs-Basis zum Einsatz kommen.

Schwerpunkt dieses Buches ist der Schaltkreisentwurf. Auf benachbarte Gebiete, wie den System- und Logikentwurf oder die Meßtechnik, kann daher nicht oder nur am Rande eingegangen werden. Der interessierte Leser muß hier auf die entsprechende Spezialliteratur verwiesen werden.

Die technologischen und innerphysikalischen Probleme, deren Verständnis für die VLSI-Technik fundamental ist, werden im Kapitel 2 dargestellt. Entwurfsgrundlagen und CAD-Systeme sind Inhalt der beiden folgenden Kapitel. Innerhalb der Klasse der digitalen Schaltkreise wird die moderne VLSI-Technik anhand ausgewählter Beispiele aus den Gebieten Semikundenentwurf, Speicher und Signalprozessoren vorgestellt. Ein

Beitrag zur VLSI-Analogtechnik, die zunehmend an Bedeutung gewinnt und nicht losgelöst von der Digitaltechnik betrachtet werden kann, rundet diese Übersicht ab.

Herrn Prof. Dr.-Ing. habil A. MÖSCHWITZER, der die Anregung zu dem Buch gab und diese Arbeit förderte, möchten wir an dieser Stelle herzlich danken. Unser Dank gilt auch allen Fachkollegen aus dem Kombinat Mikroelektronik, von der Technischen Universität Dresden, aus dem Zentralinstitut für Kybernetik und Informationsprozesse der Akademie der Wissenschaften der DDR und aus dem Institut für Nachrichtentechnik, die uns durch Ihre Mitarbeit an einzelnen Kapiteln geholfen haben. Herrn ROMAN RABE und Frl. KRISTINA RABE möchten wir für die sorgefältige Manuskriptdurchsicht danken.

Unser besonderer Dank gilt Frau Dipl.-Phys. LAGOWITZ vom Akademie-Verlag, die sich mit großem persönlichen Einsatz für die Herausgabe dieses Buches eingesetzt hat, für die sehr gute Zusammenarbeit.

Dresden, August 1985

W.-J. FISCHER R. SCHÜFFNY

Inhaltsverzeichnis

1.	**Einleitung**	1
2.	**Physikalische und technische Grundlagen der MOS-Technik**	3
2.1.	**Grundlagen der MOS-Technik**	3
2.2.	**MOS-Technologie**	5
2.2.1.	Allgemeine Grundlagen	5
2.2.2.	Schablonentechnologie	6
2.2.3.	Zyklus-I	8
2.2.3.1.	Schichtherstellungsverfahren	8
2.2.3.2.	Schichtabtragungsverfahren	9
2.2.3.3.	Dotierungsverfahren	13
2.2.3.4.	Lithografieverfahren	14
2.2.3.4.1.	Schablonenverfahren	15
2.2.3.4.2.	Direktbelichtungsverfahren	16
2.2.4.	Ausgewählte Probleme der VLSI-Technologie	18
2.2.4.1.	Das Kontaktsystem	18
2.2.4.2.	Das Leitbahnsystem	23
2.2.4.3.	Parasitäre Source-/Drainwiderstände	25
2.2.4.4.	Bird's Beak	26
2.2.4.5.	Vertikale Bauelementeanordnung	27
2.2.4.6.	Bauelementeisolation	27
2.2.5.	Technologieabläufe	29
2.2.5.1.	Statische n-Kanal-MOS-Technik	29
2.2.5.2.	Dynamische MOS-Technik	32
2.2.5.3.	CMOS-Technologie	33
2.3.	**Zyklus-II**	35
2.4.	**Technologiesimulation**	38
2.4.1.	Modellierung ausgewählter Prozeßschritte	39
2.4.1.1.	Ionenimplantation	39
2.4.1.2.	Diffusion in inerter und oxidierender Atmosphäre	41
2.4.1.3.	Schichtherstellungsverfahren	44
2.4.1.3.1.	Thermische Oxidation	44
2.4.1.3.2.	Chemische Abscheidung aus der Gasphase	45
2.4.1.4.	Schichtabtragungsprozesse (Ätzen)	46
2.4.1.5.	Lithografischer Prozeß	46
2.4.2.	Prozeßsimulation von NPN-, NMOS- und CMOS-Strukturen	47

2.5.	**Physikalische Eigenschaften von MOS-Transistoren mit kleinen Abmessungen**	47
2.5.1.	Schwellspannung	50
2.5.2.	Punch-through- und Avalancheeffekt	51
2.5.3.	Kennlinien	53
2.5.4.	Parasitäre Bipolareffekte in MOS-VLSI-Strukturen	55
2.6.	**Transistormodelle**	59
2.6.1.	Stationäre Strom-Spannungsmodelle	59
2.6.1.1.	Analytische Strommodelle	59
2.6.1.2.	Tabellenmodelle	63
2.6.2.	Dynamische Transistormodelle	63
2.7.	**Skalierungsstrategie für VLSI-Grundstrukturen**	64
2.7.1.	KMOS-Transistoren	64
2.7.2.	NMOS- und CMOS-Inverter	65
2.7.3.	Dynamische Speicherzellen	68
2.7.4.	CCD-VLSI-Grundstrukturen	70
2.7.5.	Grenzen der Prozeß- und Bauelementesimulation	75
3.	**Entwurfsgrundlagen**	78
3.1.	**VLSI-Schaltungstechnik**	78
3.1.1.	Statische Schaltungstechnik	78
3.1.2.	Dynamische Schaltungstechnik	79
3.1.3.	Transfergate-Schaltungstechnik	82
3.1.4.	Speicherelemente	83
3.1.5.	Programmierbare logische Anordnungen (PLA)	84
3.1.6.	Interfacestufen	87
3.2.	Entwurfsregeln	87
4.	**Entwurfshilfen (CAD)**	90
4.1.	**Systementwurf**	91
4.1.1.	Beschreibungsniveaus	91
4.1.1.1.	Algorithmisches Niveau	92
4.1.1.2.	PMS (processor memory switch)-Niveau	92
4.1.1.3.	Befehlssatz-Niveau	92
4.1.1.4.	Register-Transfer-Niveau	93
4.1.2.	Beschreibungsmittel	94
4.2.	**Logikentwurf**	95
4.2.1.	Synthese von Logikschaltungen	95
4.2.1.1.	Synthese von kombinatorischen Schaltungen	95
4.2.1.2.	Synthese von sequentiellen Schaltungen	96
4.2.2.	Verifikation	96
4.2.2.1.	Analyse	96
4.2.2.2.	Simulation	97
4.3.	**Elektrischer Entwurf**	98
4.3.1.	Strukturentwurf	98
4.3.2.	Dimensionierungsentwurf	99
4.4.	**Layoutentwurf**	100
4.4.1.	Grundlagen der Layouterstellung	102
4.4.2.	Symbolischer Layoutentwurf	102

4.4.2.1.	STICK-Diagramme	103
4.4.2.2.	Layoutkompression	104
4.4.3.	Plazierung und Verdrahtung	105
4.4.4.	Feinlayoutentwurf	110
4.4.4.1.	Layoutsysteme	111
4.4.4.2.	Layouteditor	112
4.5.	**Layoutverifikation**	112
4.5.1.	Geometrische Entwurfsregelprüfung	112
4.5.2.	Schaltungsrückerkennung	114
4.5.3.	Verifikation des Netzwerks	116
4.5.3.1.	Formale Netzwerkprüfung	117
4.5.3.2.	Netzwerkvergleich	117
4.5.3.3.	Simulation	119
4.6.	**Blockorientiertes Entwurfssystem für hoch- und höchstintegrierte Schaltkreise**	120
4.6.1.	Bausteine	121
4.6.1.1.	Elementarblöcke	121
4.6.1.2.	Leere Blöcke	121
4.6.2.	Plazierung und Trassierung der Blöcke	121
4.6.3.	Feinlayouterzeugung	122
4.6.4.	Bausteinsynthese	122
4.6.5.	Entwurfsstrategien zur Blocksynthese	123
4.6.5.1.	Top-down-Entwurf	123
4.6.5.2.	Bottom-up-Entwurfsstil	125
4.7.	**Siliconcompiler**	126
4.7.1.	Begriffsbestimmung	126
4.7.2.	Interaktionen und Simulationen	126
4.7.3.	Beispiel für einen Siliconcompiler	127
4.7.4.	Siliconcompiler für spezielle Schaltkreisklassen	128
4.7.5.	Zellensynthese	131
4.7.6.	PLA-Generatoren	131
4.7.6.1.	Top-down-Entwurf mit PLA-Generatoren	131
4.7.6.2.	Boolesche Minimierung	131
4.7.6.3.	PLA-Faltung	134
4.7.6.4.	Ein kleines Entwurfsbeispiel	135
4.8.	**Prüfbarkeit von Schaltkreisen und Testfolgengenerierung**	137
4.8.1.	Prinzipieller Aufbau und Funktionsweise von programmierbaren LSI-Testsystemen	140
4.8.2.	Testpatternerzeugung für digitale Schaltungen	142
4.8.3.	Prüfung von LSI- und VLSI-Schaltkreisen	143
5.	**Entwurf kundenspezifischer Schaltkreise**	147
5.1.	**Semikundenschaltkreise**	149
5.1.1.	Gate-array-Architektur	149
5.1.2.	Gate-array-Zelle	151
5.1.3.	Macros	155
5.1.4.	CAD-System für Gate-Array	158
5.2.	**Kundenschaltkreise**	165
5.2.1.	Standardzellenentwurf	166
5.2.1.1.	Architektur des Standardzellenentwurfs	167

5.2.1.2.	Standardzelle	168
5.2.1.3.	CAD-Systeme für Standardzellenentwurf	168
5.2.2.	Vollkundenschaltkreise	169
5.3.	**Programmierbare Standardschaltkreise**	175
6.	**VLSI-Speicher**	176
6.1.	**Dynamische Speicher (DRAM)**	178
6.1.1.	Optimierungskriterien der Eintransistorzelle	180
6.1.2.	Gestaltung der Dummy-Zellen	183
6.1.3.	Gestaltung des Sensor-Flipflop	185
6.1.4.	Ausbreitung des Wortleitungstakts	187
6.1.5.	CMOS-Technologie für dynamische RAMs	189
6.1.6.	Redundanzstruktur zur Ausbeuteerhöhung	190
6.1.7.	Systemtechnische Anordnung der Redundanzstrukturen	193
6.1.8.	Softerrors	193
6.1.9.	Meßtechnische Besonderheiten	196
6.2.	**Statische Speicher (SRAM)**	196
6.3.	**Elektrisch programmierbare Speicher (EPROM)**	196
6.4.	**Elektrisch löschbare Speicher**	198
7.	**MOS-Analogtechnik in VLSI-Schaltkreisen**	200
7.1.	**Zur Entwurfsproblematik von integrierten analogen MOS-Schaltkreisen**	200
7.2.	**Analoge Standardzellen**	204
7.2.1.	Integration von Widerständen und Kapazitäten in monolitischer Technik	204
7.2.2.	Analogschalter	205
7.2.3.	Verstärkerstufen	208
7.3.	Blockstrukturen	211
7.3.1.	Operationsverstärker	211
7.3.2.	Komparatoren	215
7.3.3.	Referenzquellen	217
7.3.4.	Analoge Signalverarbeitung	219
7.4.	**Analoge Funktionseinheiten**	221
7.4.1.	A/D-D/A-Umsetzer	221
7.4.2.	Frequenzfilter	232
7.4.3.	Codecs	235
7.5.	**Ausgewählte Analogsysteme**	236
7.5.1.	Datenerfassungstechnik	236
7.5.2.	Datenkommunikationstechnik	237
7.5.3.	Telekommunikationstechnik	237
8.	**Literaturverzeichnis**	242
9.	**Quellenverzeichnis**	253
10.	**Abkürzungsverzeichnis**	254
11.	**Sachwortverzeichnis**	257

1. Einleitung

Die Entwicklung der Mikroelektronik ist in den letzten Jahren durch eine rasante Zunahme des Integrationsgrades (MSI-, LSI-, VLSI-, ULSI-) gekennzeichnet, die heute die ökonomische Herstellung ganzer Systemlösungen auf wenigen Chips ermöglicht. Die zu bewältigenden Probleme auf dem Weg zur VLSI-Technik stellen eine Herausforderung ersten Ranges dar, die zu einer komplexen, durchgängigen und vernetzten Lösung der Gesamtaufgabe zwingt. Die VLSI-Technik geht zunehmend von den Teilautomatisierungen der LSI-Technik („Automatisierungsinseln") zur Verkettung zusammenhängender Aufgaben (CAD-, CAM-, CAT-Aspekte) zu einem Entwurfs- und Fertigungssystem (Abb. 1.1) [DMRS 85] über.

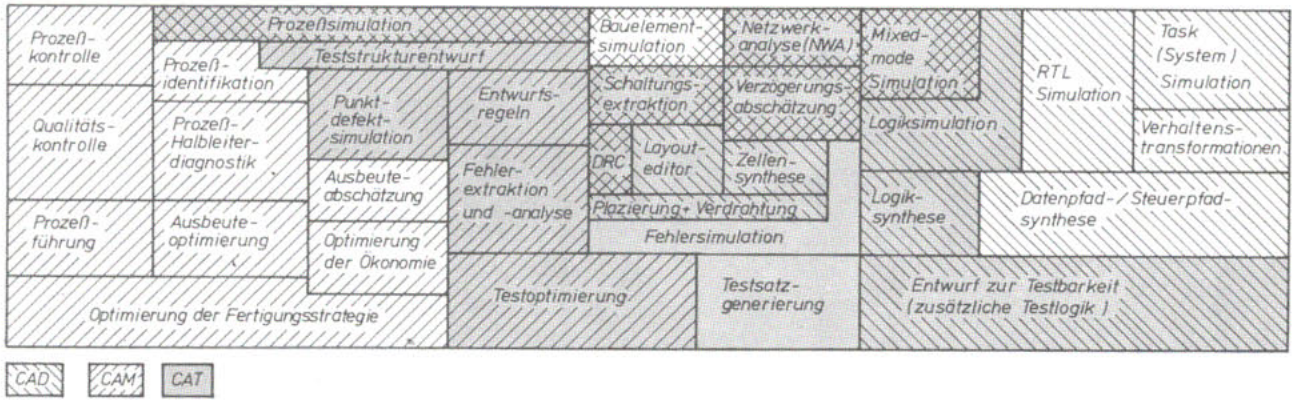


Abb. 1.1 Bestandteile und Wechselbeziehungen in einem System nach [DMRS 85] zur Entwicklung und Fertigung von VLSI-Schaltkreisen:
CAD — computer aided design / rechnergestützter Entwurf
CAM — computer aided manufacturing / rechnergestützte Fertigung
CAT — computer aided test / rechnergestützter Test
RTL — register transfer logic / Registertransfer-Logik
DRC — design rule checking / Entwurfsregelprüfung

2. Physikalische und technische Grundlagen der MOS-Technik

2.1. Grundlagen der MOS-Technik

Dominierendes Bauelement in der integrierten VLSI-Schaltungstechnik ist der Transistor. Er wird in der Digitaltechnik als Schalter und Ladungsspeicher (Kapazität) und in der Analogtechnik als Verstärkerelement eingesetzt. Andere Bauelemente, wie Widerstände, Kapazitäten und Dioden, haben demgegenüber eine untergeordnete Bedeutung und werden nur in Spezialschaltungen verwendet. Transistoren können sowohl in MOS- als auch in Bipolartechnik hergestellt werden. Der gegenwärtig erreichte Stand der Halbleitertechno-

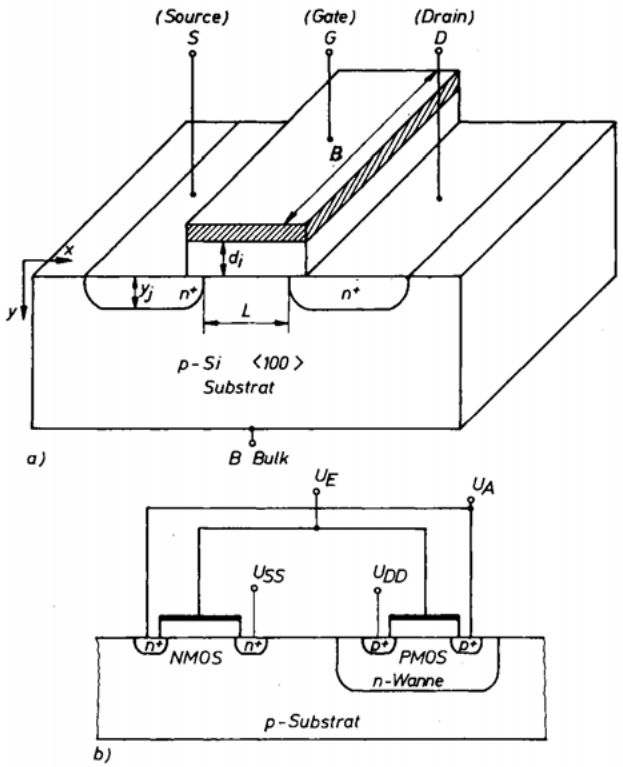


Abb. 2.1 Querschnitte integrierter MOS-Strukturen
a) Integrierter NMOS-Transistor,
b) Integrierter CMOS-Inverter

logie ermöglicht die Herstellung von VLSI-Schaltkreisen sowohl in MOS- als auch in Bipolartechnik. Wegen der einfacheren und damit bezüglich Kosten und Ausbeute ökonomischeren Technologie hat sich die MOS-Technik für hochintegrierte Schaltkreise durchgesetzt. Das spiegelt sich besonders im Verhältnis der jährlich in MOS- und Bipolartechnik produzierten hochintegrierten Schaltkreise wieder.

Der grundlegende Aufbau des integrierten MOS-Transistors (Abb. 2.1) hat sich in den letzten 20 Jahren nicht verändert. Ein zwischen den diffundierten Source- und Draingebieten fließender Löcher- (PMOS) oder Elektronenstrom (NMOS) wird durch das von der isolierten Gateelektrode erzeugte vertikale elektrische Feld gesteuert, indem die Leitfähigkeit im Kanalgebiet verändert wird. Der Stromfluß setzt erst ein, wenn eine minimale Gate-Source-Spannung U_{GS}, die sogenannte Schwellspannung U_{P0}, überschritten wird und eine Drain-Source-Spannung U_{DS} anliegt. Bei Erreichen der Schwellspannung bildet sich an der Halbleiteroberfläche ein Inversionskanal zwischen Source- und Draingebiet aus.

Das typische Ausgangs- und Transferkennlinienfeld eines NMOS-Enhancementtransistors (ET) zeigt Abb. 2.2a, b.

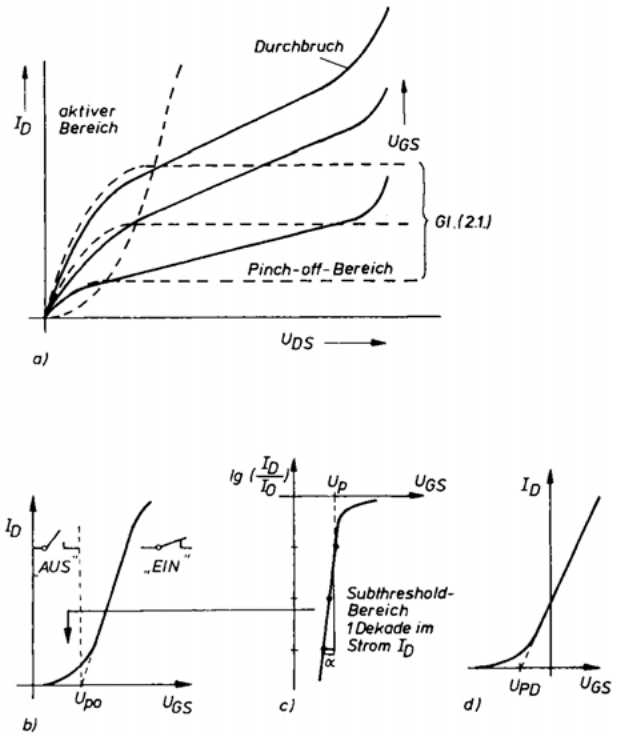


Abb. 2.2 NMOS-Transistor
a) Ausgangskennlinienfeld eines NMOS-Transistors,
b) Transferkennlinie eines NMOS-Transistors (Enhancementtransistor),
c) Transferkennlinie im Subthresholdbereich (logarithm. Darstellung um U_{P0}),
d) Transferkennlinie eines Depletiontransistors

Die Transistorkennlinie läßt sich im einfachsten Fall durch Gl. (2.1) nähern:

$$I_D = \begin{cases} 0, & U_{GSE} \leqq 0 \quad \text{Sperrbereich,} \\ \beta\,(2\,U_{GSE} - U_{DS})\,U_{DS}, & U_{GSE} \geqq U_{DS} \quad \text{aktiver Bereich,} \\ \beta\,U_{GSE}^2\,. & U_{GSE} < U_{DS} \quad \text{Pinch-off-Bereich} \end{cases} \tag{2.1.}$$

mit $U_{GSF} = U_{GS} - U_{p0}$ und der Transistorkonstanten $\beta \approx \frac{\varepsilon_i \mu_{n/p} B}{2 d_i L}$. Typische Werte sind für die Elektronenbeweglichkeit $\mu_n \approx 600\ \text{cm}^2/\text{Vs}$, die Dielektrizitätskonstante des Gateoxides $\varepsilon_i \approx 10^{-12}$ As/Vcm und die Gateoxiddicke $d_i \approx 10 \ldots 100$ nm.

In der Digitaltechnik arbeitet der MOS-Transistor als Schalter (Abb. 2.2b). Die Schalterfunktion ist dabei nicht ideal. Im „Aus"-Zustand ($U_{GS} < U_{p0}$) fließen Subthresholdströme (Abb. 2.2c), die für dynamisch arbeitende Schaltungen nicht vernachlässigbar sind. Durch Ionenimplantation lassen sich auch NMOS-Transistoren mit negativer Schwellspannung (Abb. 2.2d), sogenannte Depletiontransistoren (DT), herstellen, die in der statischen NMOS-Technik als Lasttransistoren mit Konstantstromquellencharakteristik eingesetzt werden.

Die PMOS-Schaltungstechnik auf der Grundlage von p-Kanal-Enhancementtransistoren ist für das LSI-/VLSI-Gebiet bedeutungslos geworden. Die Kombination von PMOS- und NMOS-Transistoren zur CMOS-Technik (Abb. 2.1b) hat sich dagegen als die dominierende VLSI-Schaltungstechnik durchgesetzt. CMOS-Schaltungen zeichnen sich durch extrem niedrige statische Verlustleistung aus. In der MOS-VLSI-Technik treten mit zunehmender Strukturverkleinerung parasitäre innerelektronische Effekte (Abschn. 2.5.) in den Vordergrund. Mittels aufwendiger, hohe Kosten verursachender technologischer Maßnahmen (Abschn. 2.2.) wird diesen Effekten entgegengewirkt.

2.2. MOS-Technologie

2.2.1. Allgemeine Grundlagen

Die Herstellung eines integrierten Schaltkreises umfaßt eine Vielzahl notwendiger Arbeitsgänge. Üblicherweise werden diese zu den drei Komplexen Entwurf, Präparation und Meßtechnik zusammengefaßt. Die wichtigsten zwischen diesen Komplexen bestehenden Wechselbeziehungen zeigt Abb. 2.3.

Endprodukt des Schaltkreisentwurfes ist ein Datenträger, der den gesamten Schaltungsinhalt in Form einfachster geometrischer Figuren (Rechtecke), sortiert nach den verschiedenen technologischen Ebenen, enthält. Dieser Datenträger ist die Schnittstelle zwischen Schaltungsentwurf und Technologie. Im Verlaufe der technologischen Bearbeitung wird der entworfene Schaltkreis schrittweise in das Halbleitermaterial, das im allgemeinen Silizium ist, umgesetzt. Der technologische Prozeß im engeren Sinn umfaßt dabei alle Teilschritte, die mit dem Wafer (Siliziumscheibe) ausgeführt werden. Dieser Teil des technologischen Gesamtprozesses soll im weiteren mit dem Synonym „Zyklus-I" bezeichnet werden. Die Teilschritte zum Vereinzeln der Wafer in Chips, zum Kontaktieren sowie Verschließen der Bauelemente in Gehäusen sollen sinngemäß unter der Bezeichnung „Zyklus-II" zusammengefaßt werden. Ergänzend sei noch vermerkt, daß teilweise für die

Die Transistorkennlinie läßt sich im einfachsten Fall durch Gl. (2.1) nähern:

$$I_D = \begin{cases} 0, & U_{GSE} \leqq 0 \quad \text{Sperrbereich,} \\ \beta\,(2\,U_{GSE} - U_{DS})\,U_{DS}, & U_{GSE} \geqq U_{DS} \quad \text{aktiver Bereich,} \\ \beta\,U_{GSE}^2\,. & U_{GSE} < U_{DS} \quad \text{Pinch-off-Bereich} \end{cases} \tag{2.1.}$$

mit $U_{GSF} = U_{GS} - U_{p0}$ und der Transistorkonstanten $\beta \approx \frac{\varepsilon_i \mu_{n/p} B}{2 d_i L}$. Typische Werte sind für die Elektronenbeweglichkeit $\mu_n \approx 600\ \text{cm}^2/\text{Vs}$, die Dielektrizitätskonstante des Gateoxides $\varepsilon_i \approx 10^{-12}$ As/Vcm und die Gateoxiddicke $d_i \approx 10 \ldots 100$ nm.

In der Digitaltechnik arbeitet der MOS-Transistor als Schalter (Abb. 2.2b). Die Schalterfunktion ist dabei nicht ideal. Im „Aus"-Zustand ($U_{GS} < U_{p0}$) fließen Subthresholdströme (Abb. 2.2c), die für dynamisch arbeitende Schaltungen nicht vernachlässigbar sind. Durch Ionenimplantation lassen sich auch NMOS-Transistoren mit negativer Schwellspannung (Abb. 2.2d), sogenannte Depletiontransistoren (DT), herstellen, die in der statischen NMOS-Technik als Lasttransistoren mit Konstantstromquellencharakteristik eingesetzt werden.

Die PMOS-Schaltungstechnik auf der Grundlage von p-Kanal-Enhancementtransistoren ist für das LSI-/VLSI-Gebiet bedeutungslos geworden. Die Kombination von PMOS- und NMOS-Transistoren zur CMOS-Technik (Abb. 2.1b) hat sich dagegen als die dominierende VLSI-Schaltungstechnik durchgesetzt. CMOS-Schaltungen zeichnen sich durch extrem niedrige statische Verlustleistung aus. In der MOS-VLSI-Technik treten mit zunehmender Strukturverkleinerung parasitäre innerelektronische Effekte (Abschn. 2.5.) in den Vordergrund. Mittels aufwendiger, hohe Kosten verursachender technologischer Maßnahmen (Abschn. 2.2.) wird diesen Effekten entgegengewirkt.

2.2. MOS-Technologie

2.2.1. Allgemeine Grundlagen

Die Herstellung eines integrierten Schaltkreises umfaßt eine Vielzahl notwendiger Arbeitsgänge. Üblicherweise werden diese zu den drei Komplexen Entwurf, Präparation und Meßtechnik zusammengefaßt. Die wichtigsten zwischen diesen Komplexen bestehenden Wechselbeziehungen zeigt Abb. 2.3.

Endprodukt des Schaltkreisentwurfes ist ein Datenträger, der den gesamten Schaltungsinhalt in Form einfachster geometrischer Figuren (Rechtecke), sortiert nach den verschiedenen technologischen Ebenen, enthält. Dieser Datenträger ist die Schnittstelle zwischen Schaltungsentwurf und Technologie. Im Verlaufe der technologischen Bearbeitung wird der entworfene Schaltkreis schrittweise in das Halbleitermaterial, das im allgemeinen Silizium ist, umgesetzt. Der technologische Prozeß im engeren Sinn umfaßt dabei alle Teilschritte, die mit dem Wafer (Siliziumscheibe) ausgeführt werden. Dieser Teil des technologischen Gesamtprozesses soll im weiteren mit dem Synonym „Zyklus-I" bezeichnet werden. Die Teilschritte zum Vereinzeln der Wafer in Chips, zum Kontaktieren sowie Verschließen der Bauelemente in Gehäusen sollen sinngemäß unter der Bezeichnung „Zyklus-II" zusammengefaßt werden. Ergänzend sei noch vermerkt, daß teilweise für die

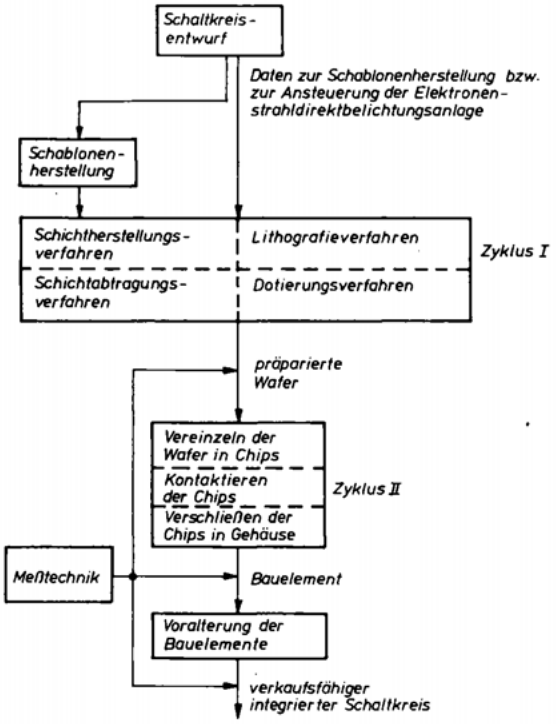


Abb. 2.3 Hauptschritte bei der Herstellung eines integrierten Schaltkreises (IC)

Siliziumscheibenherstellung und die Meßtechnik die Bezeichnungen „Zyklus-0" bzw. „Zyklus-III" gebräuchlich sind.

Wird das Layout nicht direkt, sondern mittels Schablonen auf die Scheibe übertragen, so ist zwischen Entwurf und Technologie die Schablonenherstellung durchzuführen.

Die Besonderheit der VLSI-Technologie im Vergleich zu technologischen Verfahren zur Herstellung von Schaltkreisen mit niedrigerem Integrationsgrad besteht darin, daß Strukturen im Mikrometer- und Submikrometerbereich in einer Anzahl von 10^4 bis 10^6 pro Ebene auf Chips mit einer Chipfläche bis zu einem Quadratzentimeter hergestellt werden müssen. Die Erzielung hoher Ausbeuten ist dabei Grundvoraussetzung für eine ökonomische Produktion. Bei vergleichbaren technischen Parametern ist die erreichbare Ökonomie der Gradmesser, der entscheidet, ob ein im Labormaßstab erfolgreich erprobtes technologisches Verfahren in die Produktion übergeleitet wird.

2.2.2. Schablonentechnologie

Das Layout mikroelektronischer Schaltungen wird mittels Lithografieverfahren auf die Siliziumscheibe übertragen. Dabei wird durch Belichtung ein auf der Scheibe aufgetragener Lack (Resist) strukturiert. Für hochintegrierte Schaltkreise kommen sowohl Schablonenverfahren als auch in zunehmendem Maße Direktbelichtungsverfahren (ohne Schablonen) zum Einsatz.

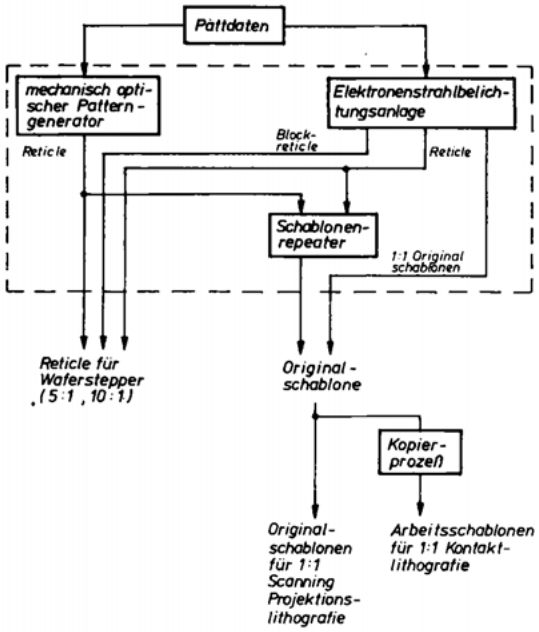


Abb. 2.4 Verschiedene Wege der Schablonenherstellung

Für die Herstellung von Schablonen für LSI-/VLSI-Schaltkreise sind die in Abb. 2.4 dargestellten verschiedenen Möglichkeiten gebräuchlich. Ausgangspunkt für die Schablonenherstellung sind die als Ergebnis des Schaltkreisentwurfes entstandenen geometrischen Elementarfiguren (Pattdaten). In einem ersten Schritt wird aus diesen Pattdaten ein Reticle (Einzelbild) im Maßstab 1:1, 5:1 oder 10:1 hergestellt. Dafür kann sowohl ein Patterngenerator als auch eine Elektronenstrahlbelichtungsanlage (z. B. ZBA 20 Carl Zeiss JENA) zum Einsatz kommen. Beim Patterngenerator werden die Pattdaten zur Steuerung einer mechanischen Blende verwendet. Auf ein Substrat (z. B. Chromsubstrat) werden nacheinander, gesteuert durch eine Blende, alle Pattfiguren einer Schaltkreisebene mittels UV-Belichtung übertragen. Bei Elektronenstrahlbelichtungsanlagen erfolgt die Strukturierung des Resistes auf dem Schablonensubstrat durch einen gesteuerten Elektronenstrahl. Ein solcher in seinen geometrischen Abmessungen geformter Elektronenstrahl wird als Stempel bezeichnet. Die maximale Größe eines Stempels beträgt bei der Anlage ZBA 20 $(6 \times 6)\ \mu m^2$. Ein Reticle enthält jeweils die Figuren einer Ebene eines Chips. Für Lithografieverfahren mit Einzelchipbelichtung (Waferstepper) werden die Reticle direkt eingesetzt. Um das bei 10 bis 20 mm Kantenlänge liegende Bildfeld der Waferstepper optimal auszulasten, können die einzelnen Ebenen mehrerer gleicher oder auch verschiedener Chips zu Blockreticlen zusammengefaßt werden. Für die Herstellung solcher Blockreticle eignen sich Elektronenstrahlbelichtungsanlagen ebenfalls sehr gut.

Werden im Lithografieprozeß Ganzscheibenbelichtungsverfahren angewendet, so muß mit einem Schablonenrepeater aus dem Retilce durch wiederholtes, schrittweises Kopieren eine Schablone (Originalschablone) erstellt werden, die alle auf einer Scheibe befindlichen Chips enthält.

Die beim Repeatprozeß zwangsläufig entstehenden Lagefehler der einzelnen Chips zueinander lassen sich vermeiden, wenn die 1:1-Maskenoriginale direkt durch Elektronenstrahlbelichtung hergestellt werden. Das Verfahren ist jedoch sehr aufwendig, da jedes Chip auf der Schablone einzeln belichtet werden muß. Für Projektionsbelichtungsverfahren, bei denen die Schablone keinen unmittelbaren Kontakt mit dem Resist hat, wird häufig die Originalschablone selbst verwendet. Bei Kontaktbelichtungsverfahren dagegen ist die Schablonenabnutzung so groß, daß es zweckmäßig ist, von der Originalschablone kopierte Arbeitsschablonen einzusetzen.

Die Einzelbildoriginale, Original- und Arbeitsschablonen weisen, bedingt durch das Herstellungsverfahren eine systematische Abweichung in den realisierten Strukturmaßen gegenüber den Entwurfsmaßen auf. Diese Maßabweichung einschließlich Streuung ist entweder in den Entwurfsregeln (s. Abschn. 3.2) oder durch eine Vorverzerrung der Daten bei der Pattausgabe zu berücksichtigen.

2.2.3. Zyklus-I

Die Herstellung eines integrierten Schaltkreises ist eine Folge von technologischen Teilschritten zur Herstellung von Schichten aus verschiedenen Materialien sowie deren Dotierung und gezielte Abtragung. Die selektive Bearbeitung einzelner Teile des Chips in den einzelnen Teilschritten ist dabei durch Verwendung von Lackmasken, die mittels der Lithografieverfahren auf dem Wafer strukturiert werden, möglich.

2.2.3.1. Schichtherstellungsverfahren

Schichtherstellungsverfahren werden zum Aufbringen von Metall- und Halbleiterschichten sowie Isolator-, Maskierungs- und Passivierungsschichten benötigt. Metallschichten werden in integrierten Schaltkreisen vorzugsweise zur Bauelementverdrahtung verwendet. Da mit dem Übergang zur VLSI-Technik der Anteil der Verdrahtung an der Gesamtchipfläche wächst, kommt der Herstellung von Metallschichten eine besondere Bedeutung zu. Für die Schichtabscheidung selbst kommen im VLSI-Bereich ausschließlich Vakuumbeschichtungsverfahren, wie Elektronenstrahlbedampfung, Hochratezerstäuben (Plasmatronzerstäubung) sowie CVD und Ionenstrahlzerstäubung, in Frage. Da für Leitbahnsysteme der mit einem Material erreichbare elektrische Widerstand bzw. Schichtwiderstand von grundlegender Bedeutung ist, sind in Tab. 2.1 diese Parameter für verschiedene Materialien zusammengestellt.

Schichtherstellungsverfahren werden weiterhin zur Abscheidung einkristalliner, polykristalliner und amorpher Siliziumschichten benötigt. Für die MOS-Technik besitzt insbesondere Polysilizium, das als Gate- und Kapazitätselektrodenmaterial sowie für Verbindungsleitungen Verwendung findet, Bedeutung. Die Schichtabscheidung erfolgt mit CVD-Verfahren (chemical vapor deposition). Aufgrund des hohen Schichtwiderstandes von ca. 25 ... 50 Ohm/□[1] wird seit Mitte der siebziger Jahre die Ablösung des Polysiliziums durch Silizide oder Polyzide, deren Schichtwiderstand ein bis zwei Größenordnungen

[1] Als Schichtwiderstand wird der Widerstand einer Bahn definiert, der sich für B = L ergibt. Dieser Flächenwiderstand wird häufig in Ω/□ (Ohm pro Quadrat) angegeben.

Tabelle 2.1 Widerstand und Schichtwiderstand verschiedener in der Halbleitertechnologie verwendeter Materialien

Material	Widerstand (μΩ cm)	Schichtwiderstand (Schichtdicke 0,5 μm) (Ω/□)
reines Al (nach Temperung)	3,1—3,3	0,062—0,066
Al-1 % Si (nach Temperung)	3,5—3,6	0,070—0,072
Al-2 % Si (nach Temperung)	3,6—3,9	0,072—0,078
$TiSi_2$	15—20	0,3—0,4
$TaSi_2$, WSi_2	50—100	1—2
$MoSi_2$	100—150	2—3
n^+-Poly ($POCL_2$)	800—1000	15—20
(nach Laserannealing)	500—800	10—15
p^+-Poly (bordotiertes Oxid)	1750—2250	35—45
p^+-Poly (150 keV P, $1{,}6 \times 10^{16}$ cm^{-3}, 15 min 1050 °C)	800—1000	16—20
p^+-Poly (60 keV B, $1{,}6 \times 10^{16}$ cm^{-3}, 15 min 1050 °C)	1250—1500	25—30
n^+-Poly (in situ dotiert, AMT/1200-Reaktor, 90 min, 850 °C)	1000—1500	20—30

niedriger ist, vorgeschlagen. Die Einführung in produktionswirksame Technologien vollzieht sich aber nur sehr zögernd bei wenigen Firmen.

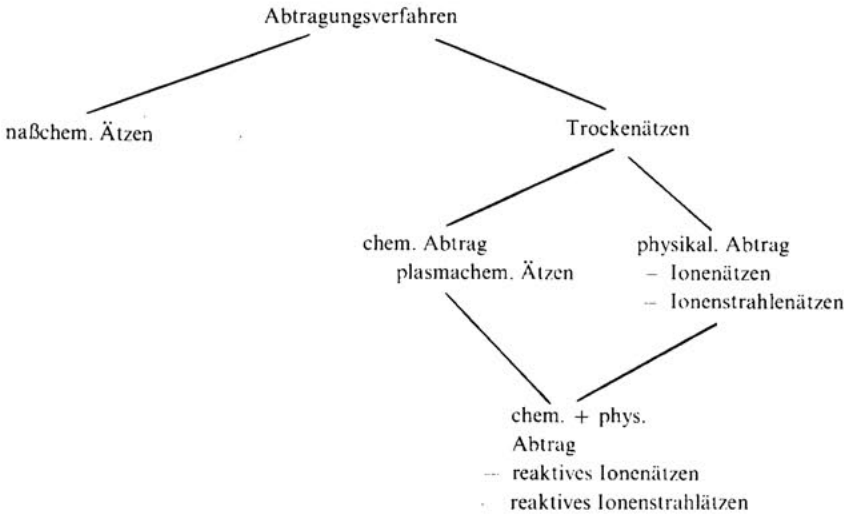
Als Material für Isolator-, Maskierungs- und Passivierungsschichten werden Siliziumdioxid (SiO_2), Siliziumnitrid (Si_3N_4) sowie das organische Polymer Polyimid benutzt. Als technologische Verfahren im VLSI-Bereich kommen neben der klassischen thermischen Oxidation, die sehr dichte und störungsarme Gateisolatoren mit hoher Druchbruchfeldstärke liefert, besonders Niederdruck-CVD-Verfahren (LPCVD) in Frage. LPCVD-Verfahren zeichnen sich durch eine gute Produktivität und Qualität (Homogenität, Dichte) der Schichten aus.

2.2.3.2. Schichtabtragungsverfahren

Schichtabtragungsverfahren werden eingesetzt, um die mittels der Mikrolithografie in den Resist übertragenen Strukturen zu ätzen. Weiterhin werden sie wiederholt im Verlaufe des Technologieprozesses benötigt, um aufgebrachte Schichten ganzflächig, vollständig zu entfernen (z. B. Oxid- oder Nitridmasken) oder Schichten in ihrer Dicke zu vermindern (Überätzschritte). Die Schichtabtragungsverfahren werden nach ihrem Wirkungsmechanismus in naßchemische Ätzverfahren und Trockenätzverfahren unterteilt (Tab. 2.2). Von einem Ätzverfahren, das in einer VLSI-Technologie eingesetzt werden soll, sind folgende Eigenschaften zu fordern:

- anisotropes Ätzprofil zur Erzielung kleiner Kantenverschiebungen,
- Homogenität der Abtragungsrate,
- hohe Selektivität des Ätzers,
- reines, defektfreies Ätzen.

Tabelle 2.2 Einteilungsschema für Abtragungsverfahren in der Halbleitertechnologie



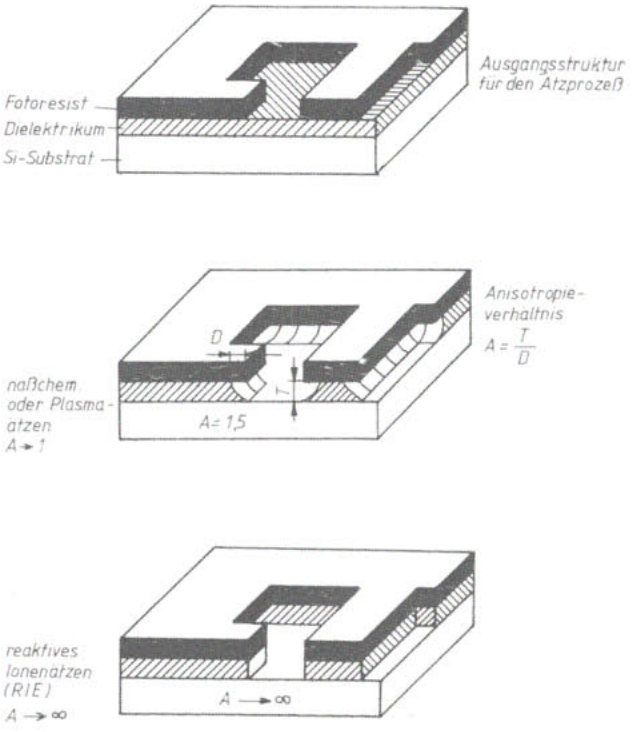


Abb. 2.5 Unterschiedliche Wirkung naßchemischer, plasmachemischer Ätzverfahren und reaktiver Ionenätzverfahren auf das Anisotropieverhältnis (nach [DOUG 81])

In Abb. 2.5 sind die sich beim isotropen und anisotropen Ätzen ergebenden Ätzprofile schematisch dargestellt. Die für VLSI-Schaltkreise notwendige reproduzierbare Herstellung kleiner Strukturen ($d \approx 1$ µm) mit engen Toleranzen ($\Delta d \approx 0{,}1$ d) macht den Einsatz anisotroper Ätzverfahren erforderlich. Die Eigenschaften verschiedener Ätzverfahren sind in Tab. 2.3 gegenübergestellt. Für VLSI-Anwendungen setzt sich zunehmend das reaktive Ionenstrahlätzen durch. Der prinzipielle Aufbau eines solchen Ätzers ist in Abb. 2.6 dargestellt. Mittels des eingesetzten Ätzgases sowie Einstellung der Parameter Druck, HF-Energie, Ätzflußrate lassen sich die Ätzeigenschaften stark variieren. Für die Materialien Si, SiO_2 und Al/Si sind in den Abbildungen 2.7 und 2.8 die Ätzraten sowie die erreichbare Selektivität SiO_2:Si und Al:SiO_2, Al:Resist dargestellt.

Tabelle 2.3 Eigenschaften verschiedener Ätzverfahren

Strukturbreite	Ätzverfahren		Eigenschaften	Literatur
≧ 3 µm	naßchemisches Ätzen		isotroper Ätzangriff	[Paul 79]
	Plasmaätzen	-Rohrreaktor	isotoper Ätzabtrag, schlechte Homogenität, geringe Selektivität, geringe Materialpalette, Al nicht ätzbar	[Bers 78] [Moga 78] [Moga 1 80] [Moga 2 80] [Lehm 80]
		-Planarreaktor	vorwiegend anisotropes Ätzprofil, verbesserte Homogenität und Selektivität, Al ätzbar SiO_2 auf Si selektiv Poly-Si auf SiO_2 ätzbar Ätzen von Schwermetallen möglich	
1 ... 3 µm	Plasmaätzen		siehe oben	
	reaktives Ionenätzen		anisotroper Ätzabtrag, geringe Kantenverschiebung, geringere Selektivität als das plasmachem. Ätzen im Planarreaktor	[Lehm 1 80] [HwNi 79] [Lizu 80]
≦ 1 µm	reaktives Ionenstrahlätzen		ausgeprägt anisotroper Ätzabtrag, sehr geringe Kantenverschiebung, Selektivität für die verschiedenen Ätzmechanismen unterschiedlich	[Mora 81] [BoLM 84]

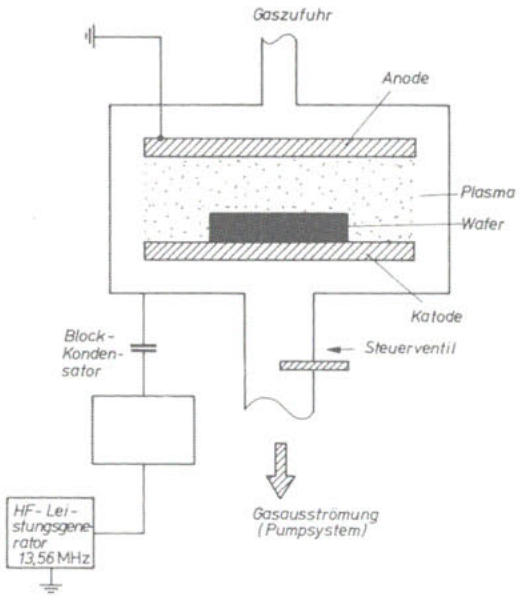


Abb. 2.6 Prinzipaufbau eines reaktiven Ionenätzers (nach [BoLM 84])

Auch für Polysilizium, ein Grundmaterial jeder modernen MOS-Technologie, hat sich das Plasma- oder das reaktive Ionenstrahlätzverfahren im VLSI-Bereich durchgesetzt [Wink 83].

Speziell für die Abscheidung und Strukturierung von Metallschichten sehr kleiner Breite wurde der sogenannte „Lift-off-Prozeß" entwickelt. Bei diesem Verfahren wird auf dem Wafer eine zweilagige Resistschicht abgeschieden und strukturiert.

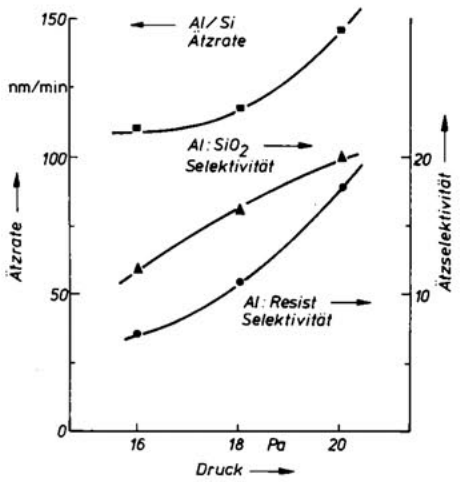


Abb. 2.7 Ätzrate und Ätzselektivität in Abhängigkeit vom Druck für verschiedene Materialien (nach [BoLM 84])

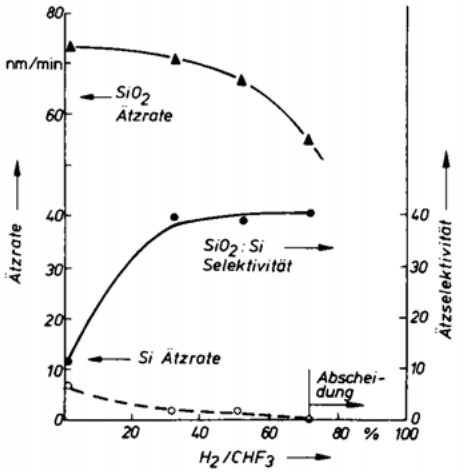


Abb. 2.8 Ätzrate und Ätzselektivität in Abhängigkeit vom Prozentsatz H_2, das dem CHF_3-Ätzgas zugefügt wird. HF-Leistung: 1 kW, Druck: 10 Pa, Elektrodenabstand: 70 mm (nach [BoLM 84])

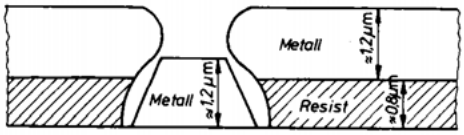


Abb. 2.9 Querschnitt durch den Resist/Metall-Aufbau beim Lift-off-Verfahren

Nach Abscheidung des Metalls wird der Resist durch ein Lösungsmittel entfernt. Dabei wird gleichzeitig das nicht benötigte Metall mit abgelöst. Der Prozeß funktioniert nur, wenn der Resist ein Überhangsprofil besitzt (Abb. 2.9). Das wird dadurch erreicht, daß die obere Schicht des Resistes beim Entwickeln eine andere Kantenverschiebung hat als die untere Schicht. Mit dem Lift-off-Verfahren ist es auch möglich, Metallmasken für das reaktive Ionenätzen herzustellen.

2.2.3.3. Dotierungsverfahren

Dotierungsschritte werden im Laufe des Technologieprozesses zur Herstellung der Source-/Draingebiete, zur Kanaldotierung, zur Herstellung der Wannen bei CMOS-Technologien, zur Realisierung der Kanalstopper und zur Dotierung der Polysiliziumschichten benötigt. Zur Anwendung kommen dabei Diffusionsverfahren in der Form Trägergasdiffusion und Diffusion aus dotierten Schichten sowie die Ionenimplantation. Für die bei VLSI-Technologien notwendigen flachen Dotierungen, die nur geringe Dotierungsschwankungen aufweisen dürfen, sind die Diffusionsverfahren schlecht geeignet.

Die Ionenimplantation ist das Dotierungsverfahren für die VLSI-Technik im Mikrometer- und Submikrometerbereich [Ryss 78]. Das Verfahren ermöglicht Dotierungskonzentrationen im Bereich 10^{15} ... 10^{22} cm^{-3}. Die minimal möglichen lateralen Abmessungen

der Strukturen betragen ungefähr 0,1 µm. Bei Strukturgrößen unterhalb dieses Wertes wird der Einsatz der Ionenimplantation durch Straggling [GiJM 75] begrenzt. Die Werte für laterales Straggling betragen 0,02 ... 0,15 µm und für vertikales Straggling 0,004 ... 0,1 µm. Bei Strukturabmessungen kleiner als 0,2 µm ist die statistische Verteilung der Dotanten zu berücksichtigen. Die bei der Ionenimplantation auftretenden Strahlenschäden werden ausgeheilt durch Tempern, Elektronen- oder Laserstrahlausheilung. Das letztgenannte Verfahren in der nichtaufschmelzenden Variante ist für die Submikrometertechnik am aussichtsreichsten, da die implantierten Profile während der Ausheilung nicht verändert werden.

2.2.3.4. Lithografieverfahren

Das Layout mikroelektronischer Schaltkreise wird mittels Lithografieverfahren auf den Wafer übertragen. Ein auf den Wafer aufgetragener Resist wird dabei durch selektive Belichtung strukturiert. Als Resist kommen Chemikalien (meist organische Polymere) zur Anwendung, die bei Belichtung mit einer Strahlung in einem bestimmten Wellenlängenbereich ihre Löslichkeit für bestimmte Lösungsmittel ändern.

Je nachdem, in welchem Wellenlängenbereich der Resist die maximale Strahlungsempfindlichkeit hat, wird zwischen Fotolacken (Wellenlänge: 330 ... 450 nm, 200 ... 320 nm — tiefer UV-Bereich), Elektronenlacken (Energie: 10 ... 30 keV) und Röntgenlacken (Wellenlänge: um 1 nm) unterschieden. Bei der Ausgabe der Layoutdaten ist zu beachten, ob der verwendete Resist ein Positiv- oder Negativbild auf dem Schablonensubstrat bzw. dem Wafer abbildet (Abb. 2.10). Bei Positivlacken sind die belichteten Resistbereiche im Entwickler löslich, so daß ein Positivbild abgebildet wird. Bei Negativlacken dagegen entsteht ein Negativbild, da die unbelichteten Teile des Resistes beim Entwickeln entfernt werden (Abb. 2.11). Wegen des höheren Auflösungsvermögens kommen im LSI/VLSI-Bereich zunehmend Positivlacke zum Einsatz.

Die Güte der Lackschichtstrukturierung wird wesentlich durch die Teilschritte Justierung und Belichtung bestimmt. Beim Justierungsschritt werden die auf dem Wafer bereits vorhandenen Strukturen zur Schablone bzw. zu entsprechenden Koordinaten bei Direktbelichtungsverfahren ausgerichtet. Die dabei erreichbare Überdeckungsgenauigkeit geht wesentlich in die Berechnung der Entwurfsregeln ein und bestimmt somit unmittelbar die minimal erreichbaren Strukturgrößen.

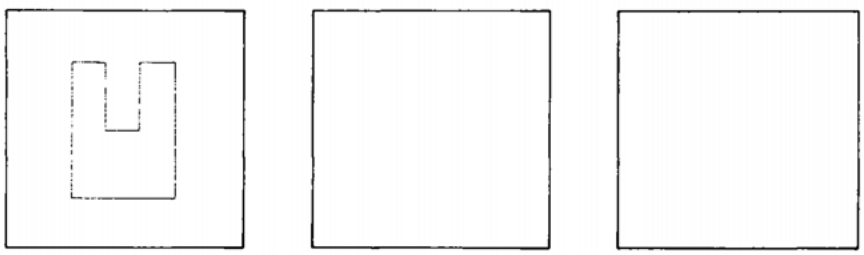


Abb. 2.10 Patternzerlegung
a) Layoutfigur,
b) Zerlegung der Layoutfigur in Pattfiguren für Positivlack,
c) Zerlegung der Layoutfigur in Pattfiguren für Negativlack

Für die Belichtung kommen verschiedene Belichtungsverfahren zur Anwendung. Die Verfahren können dabei in Schablonenverfahren und Direktbelichtungsverfahren (ohne Schablone) eingeteilt werden.

2.2.3.4.1. Schablonenverfahren

Die Kontaktbelichtung, bei der die Schablone direkt auf dem Resist aufliegt, ist das älteste in der Mikroelektronik eingesetzte Belichtungsverfahren. Bei diesem Verfahren werden

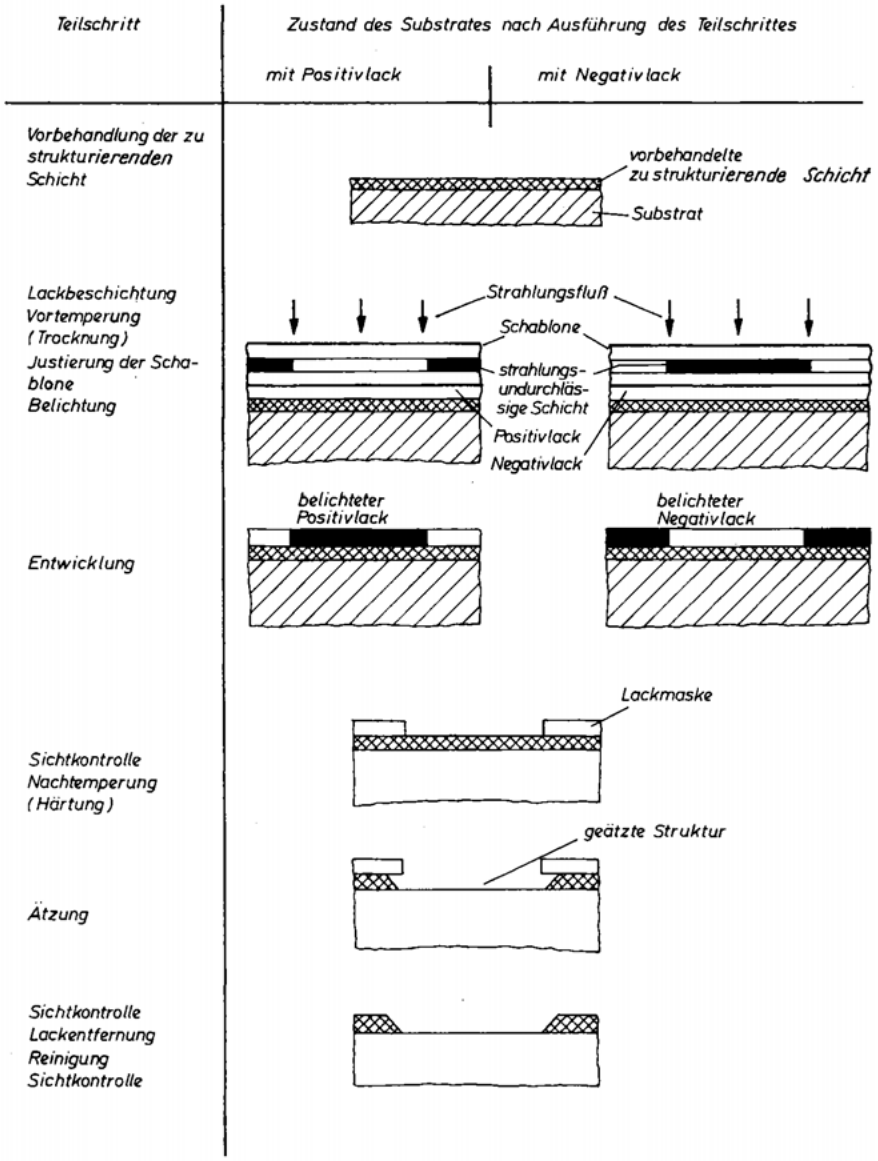


Abb. 2.11 Notwendige Teilschritte zum Ätzen einer Struktur mit Positivlack und Negativlack (nach [Scha 78])

alle Chips auf dem Wafer in einem Schritt belichtet (Ganzscheibenbelichtung). Obwohl Produktivität und Auflösungsgenauigkeit gut sind, besitzt die Kontaktbelichtung für VLSI-Technologien keine Bedeutung mehr. Der Kontakt Schablone/Resist führt sehr schnell zu mechanischen Beschädigungen der Schablone. Die für höchstintegrierte Schaltkreise notwendige extreme Defektarmut der Schablonen ist damit nicht erreichbar. Die Abstandsbelichtung, bei der zwischen Schablone und Resist ein kleiner Spalt (10 ... 30 µm) vorhanden ist, weist ähnliche Eigenschaften wie die Kontaktbelichtung auf und kommt somit für den VLSI-Bereich ebenfalls nicht in Frage.

Der entscheidende Durchbruch auf dem Wege zur Herstellung völlig defektfreier Resistschichten wurde mit der Projektionslithografie erreicht. Bei diesem Verfahren tritt nur ein sehr geringer Schablonenverschleiß auf, so daß der Einsatz teurer, nahezu fehlerfreier Originalschablonen, die mittels Elektronenstrahlbelichtung hergestellt werden, möglich ist.

Die (1:1)-Ganzscheibenprojektionsbelichtung mit brechendem Linsensystem ist dabei fast völlig von der Scanning(1:1)-Projektion mit reflektierendem optischen System verdrängt worden. Bei diesem Verfahren wird über ein Prismensystem ein Teil der Schablone (Kreisring) auf dem Wafer abgebildet. Durch synchrone Bewegung von Schablone und Wafer wird der Lichtstrahl über den ganzen Wafer geführt.

Der Nachteil aller Ganzscheibenbelichtungsverfahren besteht darin, daß durch nichtlineare Verzerrungen des Wafers während der technologischen Bearbeitung bei großen Waferdurchmessern und kleinen Strukturabmessungen nicht mehr vernachlässigbare Überdeckungsfehler entstehen, die die Ausbeute stark vermindern. Eine Lösung dieses Problems wird durch Einzelchipbelichtung mittels „Step-and-repeat-Verfahren" (Wafer-Stepper) erreicht. Bei diesem Verfahren werden die Bilder der Reticle oder Blockreticle durch (X:1)-Projektion (X = 1 ... 10) auf ein quadratisches Feld des Wafers von 10 ... 20 mm Kantenlänge projiziert. Das Bild auf dem Reticle ist um den Faktor X größer als die auf dem Wafer herzustellende Struktur. Durch schrittweise Bewegung des Tisches, auf dem sich das Substrat befindet, und nachfolgendes Belichten (step and repeat) wird nacheinander der ganze Wafer belichtet. In zunehmendem Maße werden die weitverbreiteten 10X-Wafer-Stepper durch 5X-Anlagen verdrängt, die bei gleichem Belichtungsfeld auf den Wafer wesentlich kleinere Substrate für die Reticleherstellung erfordern [Burg 84].

Die genannten Verfahren arbeiten für Strukturgrößen von 2 ... 3 µm mit Licht im Wellenlängenbereich von 330 ... 450 nm. Für Strukturgrößen um 1 µm wird kurzwelliges Licht im tiefen UV-Bereich (200 ... 320 nm) verwendet.

Für die Submikrometertechnologie bietet sich die Röntgenstrahllithografie an. Eine hohe Produktivität des Verfahrens, bedingt durch die Ganzscheibenbelichtung, ist verbunden mit einer Auflösung von ca. 0,5 µm [Scha 78] bei Mehrmaskenprozessen. Die Wellenlänge der Röntgenstrahlung liegt im Bereich von 0,1 µm ... 10 µm. Das Verfahren befindet sich noch in der Phase der Laborerprobung.

2.2.3.4.2. Direktbelichtungsverfahren

Die Verfahren der Scheibendirektbelichtung basieren auf der elektronenoptischen Belichtung des Wafers nach dem Step-and-Repeat-Verfahren. Die Herstellung von Schablonen ist nicht erforderlich. Damit verkürzt sich die Zeit zwischen Fertigstellung des Layoutentwurfs und Lieferung erster Schaltkreismuster. Weiterhin entfallen die bei der Schablonenherstellung auftretenden Maßabweichungen und Toleranzen in der Maßkette zwischen

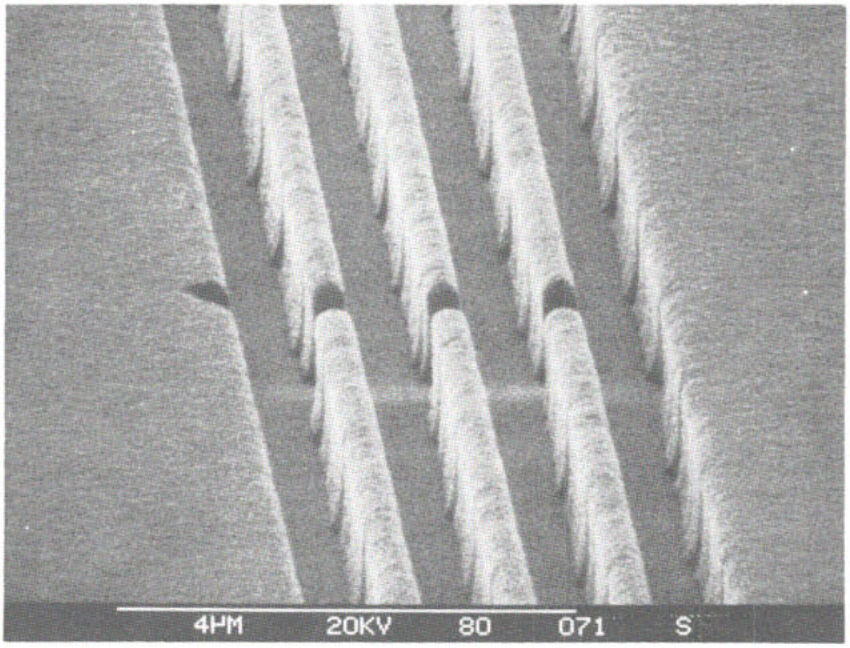


Abb. 2.12 Mit der Elektronenstrahlbelichtungsanlage ZBA-10 strukturierte 0,5 µm Aluminiumbahnen

Entwurfsmaß und Scheibenmaß. Bei der Scheibendirektbelichtung werden die Layoutdaten nach entsprechender rechentechnischer Aufbereitung direkt zur Steuerung des Elektronenstrahls verwendet. Der erreichbaren hohen Auflösung, die die Herstellung von Submikrometerstrukturen gestattet, und der guten Positioniergenauigkeit von besser als 0,1 µm steht die hohe Bearbeitungszeit einer Ebene eines Wafers (ca. 1 Stunde pro 4-Zoll-Scheibe) gegenüber. Die Abb. 2.12 zeigt mit der Elektronenstrahlbelichtungsanlage ZBA-10 strukturierte 0,5 µm Aluminiumbahnen.

Bei Elektronenstrahlbelichtungsanlagen wird der Elektronenstrahl über den Wafer geführt und an allen Stellen, die nicht belichtet werden sollen, dunkel getastet. Je nach Art der Führung des Elektronenstrahles wird zwischen Raster- und Vektorverfahren unterschieden (Abb. 2.13). Das Rasterverfahren ist langsamer in der Bearbeitungsgeschwin-

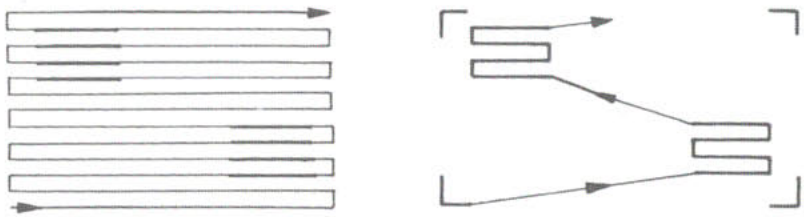


Abb. 2.13 Bewegung des Elektronenstrahls beim
a) Rasterverfahren,
b) Vektorverfahren

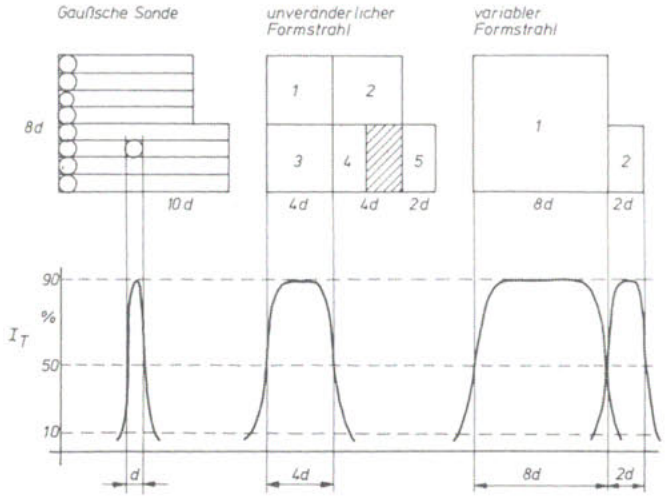


Abb. 2.14 Die verschiedenen Strahlformen bei Elektronenstrahldirektbelichtungsanlagen

digkeit, erfordert aber einen wesentlich geringeren Aufwand zur Steuerung des Strahls. Die Strahlform bestimmt wesentlich die Produktivität einer Anlage. Die älteren Elektronenstrahlgeräte verwendeten kreisförmige Strahlungsquerschnitte („Gaußsche Sonde") zur Belichtung. Wesentlich produktiver ist die Verwendung von Formstrahlen mit unveränderlicher (fixed-shape beam) oder variabler (variable-shape beam) Strahlform (Abb. 2.14).

2.2.4. Ausgewählte Probleme der VLSI-Technologie

Das VLSI-Niveau stellt an die eingesetzten Geräte und Materialien bei allen technologischen Teilschritten höchste Anforderungen. Das immer bessere, auf computergestützten Simulationsverfahren basierende Verständnis der physikalischen und chemischen Grundlagen jedes Technologieschrittes ist für die Herstellung von Strukturen im Mikrometer- und Submikrometerbereich unbedingt erforderlich. In diesem Kapitel wird anhand einiger ausgewählter Probleme die enge Wechselwirkung zwischen Technologie und Schaltungsentwurf aufgezeigt. Insbesondere muß darauf hingewiesen werden, daß im VLSI-Bereich der MOS-Transistor mit all seinen Problemen der Dimensionierung und Skalierung nur eine Seite der Gesamtentwurfsproblematik darstellt. Fragen der Bauelementeverdrahtung und Kontaktierung rücken zunehmend in den Blickpunkt des Interesses.

2.2.4.1. Das Kontaktsystem

Kontakte sind notwendig, um die integrierten Bauelemente über Verbindungsleitungen (diffundierte Bahnen, Polysilizium, Metalleitbahnen) miteinander zu einer Gesamtschaltung zu verbinden. Die für die Kontakte eines MOS-Transistors notwendige Layoutfläche liegt in der gleichen Größenordnung wie die für den inneren Transistor (Kanalgebiet) notwendige Fläche. Für den Layoutentwerfer stehen daher die Probleme der notwendigen Chip-

fläche, der elektrischen Eigenschaften und der Zuverlässigkeit eines Kontaktes im Mittelpunkt des Interesses.

Aluminium und seine Legierungen sind auch in der VLSI-Technologie das Leitbahnmaterial der Wahl. Die großen, von keinem anderen Metall erreichten Vorteile des Aluminiums sind leichte Abscheidbarkeit, gute Strukturierbarkeit und Bondbarkeit, hohe Leitfähigkeit, allgemeine Verfügbarkeit sowie niedrige Kosten. Die Eigenschaften der Kontakte Aluminium/Silizium und Aluminium/Polysilizium sind daher von großer theoretischer und praktischer Bedeutung.

Al-Si-Kontakt

An der Grenzfläche Aluminium/Silizium löst sich Silizium im Aluminium. Aus dem Phasendiagramm Al-Si ergibt sich eine Löslichkeit von 0,25 Gewichtsprozenten bei 400 °C und von sogar 0,8 Gewichtsprozenten bei 500 °C.

Die durch Ausdiffusion des Siliziums freiwerdenden Räume füllen sich mit Aluminium. Es treten sogenannte Spikes auf, die zu Kurzschlüssen mit dem Substrat führen können. Abb. 2.15 zeigt solche Spikes. Nach Entfernung des Aluminiums sind die Diffusionskanäle des Siliziums als Löcher sichtbar (Abb. 2.16). PRAMANIK [PrSa 83] hat anhand einer einfachen Abschätzung (Abb. 2.17) die Gefährlichkeit der Spikebildung für die VLSI-Technik nachgewiesen. Bei einer Temperaturbelastung von $T = 500$ °C für $t_a = 30$ min., einer Leitbahnbreite $B = 5$ µm, einer Leitbahndicke $d = 1$ µm, einer Löslichkeit $S = 0{,}8$ Gewichtsprozent, einem Diffusionskoeffizienten $D = 1{,}68 \cdot 10^{-8}$ cm^2 s^{-1} und einem Dichteverhältnis $\varrho_{AT}/\varrho_{Si} = 1{,}134$ wird bei einer Kontaktfläche $A = 16$ µm^2 Silizium bis in eine Substrattiefe von $z = 0{,}3$ µm verbraucht. Somit ergeben sich für flache diffundierte Gebiete mit einer Tiefe von $y_j = 0{,}3$ µm Kurzschlüsse durch Spikes. Für die Unterdrückung

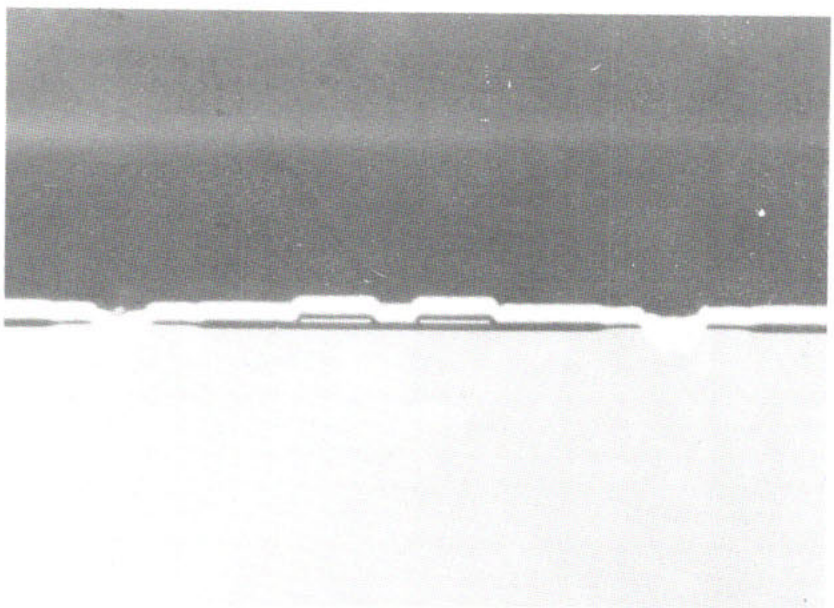


Abb. 2.15 Sichtbare Spikes in einem Querschnitt durch einen Al-Si-Kontakt

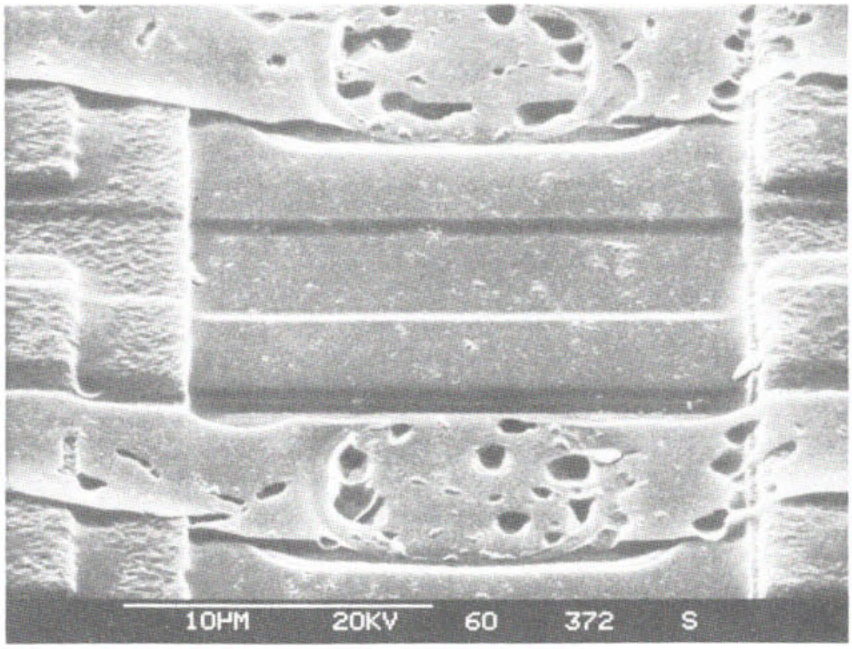
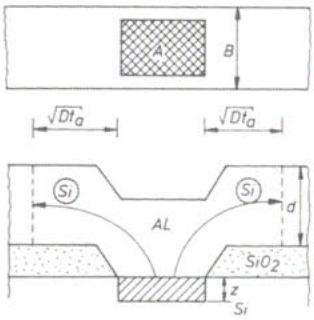


Abb. 2.16 Spikes in einem Al-Si-Kontakt. Die Diffusionskanäle des Siliziums sind nach Entfernung des Aluminiums als Löcher sichtbar



verbrauchtes Si-Volumen

$V = 2\sqrt{Dt_a}\,(Bd)\,S_L\varrho_{Al}/\varrho_{Si})$

t_a — Dauer der Temperaturbelastung

ϱ_{Al}, ϱ_{Si} — Dichte Al bzw. Si

B — Breite der Leitbahn

S_L — Löslichkeit in Gewichtsprozenten von Si in Al bei der angegebenen Temperatur

A Kontaktfläche

$z = 2\sqrt{Dt_a}\,(Bd/A)\,(S_L\varrho_{Al}/\varrho_{Si})$

z — Tiefe, bis zu der Si verbraucht wird

Abb. 2.17 Einfaches Modell zur Berechnung der Tiefe von Spikes in diffundierten Gebieten (nach [PrSa 84])

der Spikes gibt es mehrere Möglichkeiten, die aber alle auch mit Nachteilen verbunden sind.

Weitverbreitet bei VLSI-Technologien ist die Verwendung von Al/Si-Legierungen mit einem Siliziumanteil von 1 bis 4 Gewichtsprozenten. Nachteilig ist die Erhöhung des spezifischen Widerstands des Aluminiums um 0,7 μΩcm pro Gewichtsprozent Silizium sowie die Gefahr einer Erhöhung des Kontaktwiderstandes durch Ausfall des Siliziums aus der Legierung bei Zimmertemperatur im Kontakt. Weiterhin verschlechtert sich durch den Zusatz von Silizium die Bondbarkeit des Aluminiums.