

Peter Iskra

Entwicklung von siliziumbasierten Transistoren für den Einsatz bei hohen Temperaturen in der Gassensorik



Cuvillier Verlag Göttingen
Internationaler wissenschaftlicher Fachverlag



Entwicklung von siliziumbasierten Transistoren für
den Einsatz bei hohen Temperaturen in der
Gassensorik





UNIVERSITÄT DER BUNDESWEHR MÜNCHEN
Fakultät für Elektrotechnik und Informationstechnik

Entwicklung von siliziumbasierten Transistoren für den Einsatz bei hohen Temperaturen in der Gassensorik

Peter Iskra

Vorsitzender des Promotionsausschusses: Prof. Dr.-Ing. J. Schein
1. Berichterstatter: Prof. Dr.rer.nat. I. Eisele
2. Berichterstatter: Prof. Dr.-Ing. W. Hansch

Tag der Prüfung 19.12.2011

Mit der Promotion erlangter akademischer Grad:
Doktor-Ingenieur
(Dr.-Ing.)

Neubiberg, den 15. Februar 2012

Druck gefördert aus Haushaltsmitteln der Universität der Bundeswehr München



Bibliografische Information der Deutschen Nationalbibliothek

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über

<http://dnb.d-nb.de> abrufbar.

1. Aufl. - Göttingen: Cuvillier, 2012

Zugl.: München, Univ. der Bundeswehr, Diss., 2012

978-3-95404-032-2

© CUVILLIER VERLAG, Göttingen 2012

Nonnenstieg 8, 37075 Göttingen

Telefon: 0551-54724-0

Telefax: 0551-54724-21

www.cuvillier.de

Alle Rechte vorbehalten. Ohne ausdrückliche Genehmigung des Verlages ist es nicht gestattet, das Buch oder Teile daraus auf fotomechanischem Weg (Fotokopie, Mikrokopie) zu vervielfältigen.

1. Auflage, 2012

Gedruckt auf säurefreiem Papier

978-3-95404-032-2



Zusammenfassung

In dieser Arbeit werden unterschiedliche MOSFET-Konzepte hinsichtlich ihrer Temperaturstabilität verglichen. Ferner wird eines der Konzepte in einen Feldeffekt-Gassensor integriert und charakterisiert. Zu den MOSFET-Konzepten zählen zum einen laterale und zum anderen vertikale Transistoren. Die laterale MOSFET-Variante wird auf Silizium und SOI-Substraten (Silicon On Insulator) aufgebaut. Durch den Einsatz der SOI-Substrate kann eine deutliche Steigerung der Temperaturstabilität erzielt werden. Die vertikale MOSFET-Variante bietet bedingt durch die Prozessführung eine einfache Möglichkeit zur Realisierung von kurzen Kanallängen und hohen Kanaldotierungen. Vor allem durch die hohe Kanaldotierung ist dieses Konzept prädestiniert für den Aufbau von temperaturstabilen MOSFETs. Weitere Temperaturfestigkeit der vertikalen MOSFETs kann durch eine Modifikation des Kanaldotierprofils gewonnen werden. In dem hergestellten Gassensor wird ein vertikaler Auslesetransistor eingesetzt. Die Funktion des Sensors wird anhand von Gasmessungen nachgewiesen.

Zu Beginn der Arbeit wird die Änderung des Bauteilverhaltens infolge zunehmender Temperatur behandelt. Ein besonders kritischer Temperatureffekt ist durch den zunehmenden OFF-Strom gegeben. Die Ursache für die Zunahme liegt in ansteigenden Leckströmen an den in Sperrrichtung betriebenen pn-Übergängen. Die Unterdrückung dieser lässt sich sowohl durch eine Verringerung der pn-Übergangsfläche als auch durch hohe Dotierungen erzielen. Eine hohe Dotierstoffkonzentration stellt auch bei höheren Temperaturen den extrinsischen Zustand des Halbleiters und damit die sperrende Funktion des pn-Übergangs sicher.

Der Ansatz zur Steigerung der Temperaturstabilität durch Verringerung der pn-Übergangsfläche wird bei lateralen Transistoren durch den Aufbau auf SOI-Substraten umgesetzt. Hierzu werden die MOSFETs auf eine dünne Siliziumschicht platziert. Die dotierten Gebiete grenzen dabei überwiegend an eine Oxidschicht, die vom Substrat isoliert ist. Das Kanalgebiet der SOI-MOSFETs wird elektrisch nicht kontaktiert, was zusätzliche Effekte hervorrufen kann. Der wichtigste ist hierbei der *Kink*-Effekt. Bei diesem lädt sich das Kanalgebiet auf und führt zu einem nicht mehr sättigendem Drain-Strom im Ausgangskennlinienfeld.

Die Erhöhung der Temperaturfestigkeit durch Steigerung der Dotierstoffkonzentration kommt bei vertikalen MOSFETs zum Tragen. Bei der Wahl der Dotierstoffkonzentration existieren jedoch Grenzen. Eine zu hohe Dotierung führt aufgrund eines Band-zu-Band-Tunnelprozesses bereits bei Raumtemperatur zu einem Durchbruch



II

des pn-Übergangs. Folglich muss ein Kompromiss zwischen Temperaturfestigkeit und dem Tunneldurchbruch gefunden werden. Ferner besteht zur Unterdrückung des Tunneldurchbruchs die Möglichkeit der Einbettung einer intrinsischen Schicht zwischen die p- und n-dotierte Zone. Ein vertikaler n-Kanal Transistor wird dann durch einen nipin-Schichtstapel gebildet. Die intrinsische Schicht vergrößert die Tunnelweite und ermöglicht höhere Dotierungen für die p- und n-Gebiete.

Der in dieser Arbeit hergestellte Gassensor stellt eine Weiterentwicklung einer bereits kommerziell erhältlichen Variante dar. Diese Standard-Variante kann aufgrund der verwendeten Technologie nur bis zu einer Temperatur von 200 °C betrieben werden. Für zahlreiche Anwendungen wird jedoch eine höhere Temperaturstabilität angestrebt. Daher wird in dieser Arbeit ein hinsichtlich der Temperaturfestigkeit optimierter Gassensor hergestellt. Wesentliche Unterschiede zur Standard-Variante liegen in einem vertikalen MOSFET-Konzept sowie einem Aufbau auf SOI-Substraten.

Die Herstellung der unterschiedlichen Bauelemente erfordert die Entwicklung und Optimierung zahlreicher Prozesstechnologien. So liegen die Schwerpunkte beim vertikalen MOSFET-Konzept in der Gasphasenabscheidung des Transistorschichtstapels, der trockenchemischen Strukturierung der Mesa und dem Wachstum bzw. der Abscheidung des Gatedielektrikums. Bei der Gasphasenabscheidung werden zunächst die Prozesse zur Realisierung eines npn- und nipin-Schichtstapels entwickelt. Ferner werden auch unterschiedliche Konzepte zum Aufbau vertikaler pnp-MOSFETs vorgestellt. Eine wichtige Voraussetzung für die Abscheidung qualitativ hochwertiger Schichten ist eine effektive Vorreinigung der Substrate. Hierzu erfolgt ein Vergleich von drei unterschiedlichen Reinigungsprozeduren. Für die anschließende Strukturierung des Schichtstapels dient ein trockenchemischer Ätzprozess. Dieser wird hinsichtlich der notwendigen glatten und steilen Ätzflanken optimiert. Dazu werden zahlreiche Parameter des Ätzprozesses sowie der vorangestellten Lithographie variiert und deren Einfluss auf die Strukturierung bewertet. Das Resultat ist ein optimierter Ätzprozess. Die Temperaturstabilität der Bauelemente erfordert ein möglichst scharfes Dotierprofil. Daher muss das thermische Budget der nachfolgenden Herstellung des Gatedielektrikums möglichst gering gewählt werden. Die hierzu untersuchten Ansätze sind einerseits thermische Niedertemperatur-Oxide und andererseits Zwei-Schichtsysteme aus einem thermischen Oxid und einem Abscheide-Siliziumnitrid. Beide Gatedielektrika kommen bei der Bauteilherstellung zum Einsatz.

Auch der Aufbau des lateralen Transistors erfordert bei einigen Prozessschritten Entwicklungsarbeit. Der Schwerpunkt liegt bei der Dotierung des Source- und Drain-Gebietes mithilfe von Spin On Dopants (SOD). Die Prozessoptimierung erfolgt bei der Schichtabscheidung sowie dem anschließenden Dotierstoffeintritt.

Die elektrische Charakterisierung der Bauelemente wird zum einen bei Raumtemperatur und zum anderen bei erhöhten Temperaturen durchgeführt. Aufgezeichnet wird die Transfer- und die Ausgangscharakteristik der MOSFETs. Aus den Kennlinien werden die Bauteilparameter abgeleitet und miteinander verglichen.

Beide lateralen MOSFET-Varianten zeigen das charakteristische Bauteilverhalten eines Langkanal-Transistors. Die ermittelte Steilheit entspricht dem theoretischen



Minimum von 60 mV/dec. Der MOSFET auf dem SOI-Substrat weist aufgrund der kleineren pn-Übergangsfläche einen um zwei Dekaden niedrigeren OFF-Strom auf. Diese Differenz bleibt bis zu der maximal untersuchten Temperatur von 200 °C erhalten. Das I_{ON}/I_{OFF} -Verhältnis sinkt bei dieser Temperatur für den SOI-MOSFET auf 4.2 Dekaden und für den Si-MOSFET auf nur noch 2.2 Dekaden.

Der hergestellte vertikale npn-MOSFET gehört mit einer Kanallänge von 220 nm zu den Kurzkanal-Transistoren. Damit treten bei diesem Bauelement die typischen Effekte wie *Kanallängenmodulation* auf. Ferner ist das Kanalgebiet elektrisch nicht kontaktiert, was sich in den bereits von SOI-MOSFETs bekannten *floating body* Effekten äußert. Die für die Temperaturstabilität notwendige hohe Kanaldotierung bewirkt eine Zunahme der Steilheit auf 158 mV/dec. Zugleich liegt der OFF-Strom aufgrund des Band-zu-Band-Tunnelstroms etwa 4 Dekaden über dem des lateralen SOI-MOSFETs. Der Vorteil des vertikalen Transistors zeigt sich im I_{ON}/I_{OFF} -Verhältnis bei 200 °C. Dieses beträgt 5.2 Dekaden und liegt damit um eine weitere Dekade über dem des SOI-MOSFET. Weitere Messungen zeigen bei 400 °C die volle Funktionalität des MOSFETs mit einem I_{ON}/I_{OFF} -Verhältnis von einer Dekade.

Eine weitere Option zur Steigerung der Temperaturfestigkeit bietet sich im Aufbau eines nipin-MOSFETs. Dessen zusätzliche intrinsische Zonen unterdrücken den Band-zu-Band-Tunnelstrom, wodurch für das Kanalgebiet eine zusätzliche Erhöhung der Dotierstoffkonzentration möglich wird. Der in dieser Arbeit hergestellte nipin-MOSFET zeigt einen um 4 Dekaden niedrigeren OFF-Strom im Vergleich zum vertikalen npn-MOSFET. Der Einbau der intrinsischen Zonen bewirkt jedoch auch eine Änderung des Bauteilverhaltens. Infolge eines Stoßionisationsprozesses im intrinsischen Gebiet wird ab einer ausreichend hohen Gate-Spannung ein sehr rascher Einschaltvorgang des MOSFETs beobachtet. Diesem sogenannten Ionisationsmodus liegt der bereits erwähnte Kink-Effekt zugrunde. Die Steilheit des untersuchten MOSFETs beträgt im Ionisationsmodus 27 mV/dec. Mit zunehmender Temperatur bricht die Stoßionisation zusammen und die Einschaltdynamik nimmt stark ab. Obwohl die Kanaldotierung des hergestellten nipin-MOSFETs erhöht wurde, liegt das I_{ON}/I_{OFF} -Verhältnis bei 200 °C mit 4.9 Dekaden etwa auf dem Niveau des npn-MOSFETs. Die Ursache hierfür liegt in der Diffusion und dem damit verbundenen Einbruch der maximalen Kanaldotierung während der Gateoxid-Herstellung. Trotz der Einführung eines Zwei-Schicht-Gatedielektrikums konnte das Temperaturbudget nicht ausreichend gesenkt werden. Für weitere Arbeiten wird eine Metallorganische Gasphasenepitaxie der Dielektrika empfohlen. Ferner kann für die Bauteilparameter der untersuchten nipin-MOSFETs eine Abhängigkeit von der Orientierung auf dem Substrat nachgewiesen werden. Der Unterschied wird auf die von der Kristallebene abhängige Wachstumsgeschwindigkeit des Gateoxides zurückgeführt.

Zuletzt wird auch der in dieser Arbeit hergestellte Gassensor charakterisiert. Dieser zeigt im Arbeitspunkt ein stark driftendes Grundsignal. Die Ursache für die Instabilität liegt in einem *Fowler-Nordheim*-Tunnelstrom durch das dünne Gateoxid. Nur durch eine Konditionierung vor der Gasmessung lässt sich der Sensor in einem quasi-stabilen Zustand bei Raumtemperatur betreiben. Das Messsignal gibt dann eindeutig die Gasbeaufschlagung wieder.





Inhaltsverzeichnis

1	Einleitung	1
2	Siliziumbasierte MOSFETs und deren Einsatz bei hohen Temperaturen	5
2.1	Physikalische Grundlagen	6
2.1.1	Ladungsträgerdichten im thermischen Gleichgewicht	6
2.1.2	Ladungsträgerdichten in dotierten Halbleitern	7
2.1.3	<i>Fermi</i> -Potenzial	8
2.1.4	Ladungsträgerbeweglichkeit	9
2.1.5	pn-Übergang	10
2.2	Laterales MOSFET Konzept	14
2.2.1	Strom-Spannungs-Charakteristik	14
2.2.2	Temperaturverhalten	17
2.2.3	Silicon on Insulator Technologie	20
2.3	Vertikales MOSFET Konzept	23
2.3.1	Temperaturstabile vertikale npn-MOSFETs	24
2.3.2	Temperaturstabile vertikale nipin-MOSFETs	25
2.4	Vergleich der MOSFET-Konzepte	27
3	Der Floating Gate FET Sensor	29
3.1	Funktionsprinzip	30
3.2	Standard FGFET Sensor	31
3.3	Hochtemperatur-FGFET Sensor	32
4	Aufbau der Bauelemente	33
4.1	Lateraler Transistor	34
4.2	Vertikaler Transistor	35



4.3	Hochtemperatur-FGFET Gassensor	36
4.3.1	Transducer	36
4.3.2	Obere Elektrode	38
4.3.3	Layout des Transducer-Chips	38
5	Grundlagen der Halbleitertechnologie	41
5.1	Thermische Oxidation	42
5.1.1	Ofenprozesse und Rapid Thermal Oxidation (RTO)	42
5.1.2	Oxidation von dotierten Siliziumschichten	43
5.2	Gasphasenabscheidung von Silizium	44
5.2.1	Der Abscheideprozess aus der Gasphase	44
5.2.2	Anlage zur Gasphasenabscheidung von Silizium	47
5.2.3	Silizium-Quellsubstanzen	49
5.2.4	Dotanden	51
5.2.5	Silizium-Germanium (SiGe)	53
5.2.6	Substratvorbehandlung und -reinigung	54
5.2.7	Kristallqualität epitaktisch gewachsener Schichten	58
5.2.8	Abscheidung von polykristallinem Silizium	64
5.3	Gasphasenabscheidung von dielektrischen Schichten	65
5.3.1	Gasphasenabscheidung von Siliziumoxid	65
5.3.2	Gasphasenabscheidung von Siliziumnitrid	66
5.4	Abscheidung von metallischen Schichten	67
5.5	Diffusion	69
5.6	Lithographie	71
5.6.1	Fotolacktechnik	71
5.6.2	Lithographieprozess	72
5.7	Ätztechnik und nasschemische Reinigung	74
5.7.1	Nasschemische Ätzprozesse	74
5.7.2	Nasschemische Reinigungsverfahren	76
5.7.3	Trockenchemische Ätzprozesse	77
6	Prozessentwicklung zum vertikalen MOSFET und FGFET Sensor	81
6.1	Substrate	83
6.2	Kondensatordielektrikum	86



6.2.1	Thermisches Oxid	86
6.2.2	Abscheideoxid	87
6.2.3	Thermisches Oxid und Abscheideoxid	88
6.2.4	BOX als Dielektrikum	88
6.3	Transistorstapel	90
6.3.1	Selektive Gasphasenabscheidung	90
6.3.2	Dotierung	91
6.3.3	nnp-Struktur	94
6.3.4	nipin-Struktur	95
6.3.5	pnp-Struktur	96
6.3.6	pn(SiGe)p-Struktur	100
6.3.7	Substratreinigung	104
6.3.8	Reinigung nach Umschleusung	108
6.4	Mesa und Freistellen	111
6.4.1	Lithographie	112
6.4.2	Trockenätzprozess	119
6.4.3	Freistellen durch TMAH	127
6.5	Gatedielektrikum	129
6.5.1	RTO-Prozesse	129
6.5.2	Thermisches Budget	130
6.5.3	Zwei-Schicht Gatedielektrikum	131
6.6	Poly-Silizium Gateelektrode	133
6.7	Passivierung	134
6.8	Metallisierung	135
7	Prozessentwicklung zum lateralen MOSFET	137
7.1	Substrate	139
7.2	Isolation und Poly-Silizium Gate	139
7.3	Dotierung durch Spin On Dopants	140
7.3.1	Niedertemperatur-Temperung	140
7.3.2	Hochtemperatur-Diffusion	141
7.3.3	Diffusionsmaske	142
7.4	Passivierung und Metallisierung	143



8	Charakterisierung der Transistoren	145
8.1	Messaufbau	146
8.2	Laterale Transistoren	147
8.2.1	Messungen bei Raumtemperatur	147
8.2.2	Temperaturverhalten lateraler MOSFETs	150
8.3	Vertikaler npn-MOSFET	153
8.3.1	Messungen bei Raumtemperatur	153
8.3.2	Temperaturverhalten vertikaler npn-MOSFETs	156
8.4	Vertikaler nipin-MOSFET	158
8.4.1	Messungen bei Raumtemperatur	158
8.4.2	Temperaturverhalten vertikaler nipin-MOSFETs	163
8.5	Vergleich der Bauelemente	166
9	Charakterisierung des FGFET Gassensors	169
9.1	Messaufbau	170
9.2	Arbeitspunkt	171
9.3	Gasmessung	172
10	Schlussfolgerungen und Ausblick	175
A	Parameter verwendeter Prozesse	178
A.1	Oxidation und Temperung	178
A.2	Gasphasenabscheidung von Silizium	179
A.3	Abscheidendielektrika	180
A.4	Abscheidung metallischer Schichten	181
A.5	SOD-Abscheidung	182
A.6	Lithographie	182
A.7	Nasschemische Prozesse	184
A.8	Trockenchemische Ätzprozesse	186
B	Masken	188
B.1	Maskensätze	188
B.2	Wafermap lateraler MOSFET 2003	189
B.3	Wafermap IMOS 2007	191
B.4	Wafermap FGFET 2003	193



<i>INHALTSVERZEICHNIS</i>	IX
C Prozesspläne	194
C.1 Lateraler MOSFET	194
C.2 Vertikaler n-pin-MOSFET	196
C.3 FGFET Sensor	197
Formelzeichen	199
Abkürzungen	203
Publikationen	219
Danksagung	223





Kapitel 1

Einleitung

In den letzten Jahrzehnten wuchs zunehmend der Bedarf an temperaturstabilen Schaltkreisen. Die vielfältigen Einsatzgebiete erstrecken sich von der Automobilindustrie über die Luft- und Raumfahrt bis hin zu militärischen Anwendungen [105].

Die maximale Einsatztemperatur der Schaltkreise wird primär durch den verwendeten Halbleiter bestimmt. Dessen Bandlückenabstand hat Einfluss auf den temperaturbedingten Zuwachs der intrinsischen Ladungsträgerkonzentration. Überschreitet diese ein gewisses Maß, so geht die Funktion der Schaltkreise verloren. Einen Überblick zu gängigen Halbleitern und deren maximalen Einsatztemperatur zeigt die Abbildung 1.1.

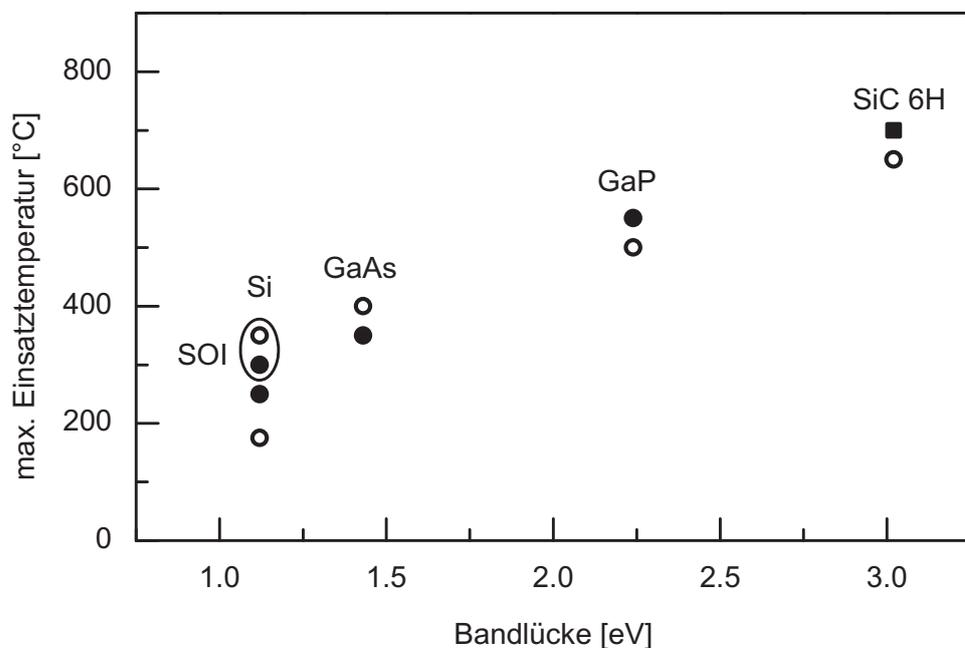


Abb. 1.1: Maximale Einsatztemperatur in Abhängigkeit von der Bandlücke verschiedener Halbleiter ○ [105], ● [33], ■ [21].

Die vergleichsweise kleine Bandlücke des Siliziums (Si) erlaubt lediglich den Betrieb von Schaltungen bis zu einer Temperatur von etwa 350 °C. Nur durch den Einsatz von Halbleitern mit größerem Bandlückenabstand, wie zum Beispiel Galliumarsenid (GaAs), Galliumphosphid (GaP) oder Siliziumkarbid (SiC), lässt sich eine höhere Temperaturstabilität erzielen [65]. Der entscheidende Nachteil dieser Materialien liegt jedoch in zahlreichen technologischen Hindernissen, die eine breite kommerzielle Anwendung bisher nicht zulassen. Im Gegensatz dazu verfügt Silizium über eine stark ausgereifte Technologie. Dieser enorme Vorteil macht Silizium stets zur optimalen Wahl, sofern die beschränkte Temperaturstabilität in Kauf genommen werden kann.

Wird zur Herstellung der Schaltkreise die konventionelle CMOS¹-Technologie auf Siliziumsubstraten eingesetzt, so beschränkt sich die maximale Einsatztemperatur auf lediglich 200 °C. Verantwortlich hierfür sind stark zunehmende Leckströme an pn-Übergängen, die zum Ausfall der Schaltung führen. Zur Erweiterung des Temperaturbereichs können unterschiedliche Strategien verfolgt werden. Eine davon ist die SOI²-Technologie [83]. Mithilfe der hierbei verwendeten SOI-Substrate lässt sich die Fläche der pn-Übergänge deutlich reduzieren. Die daraus resultierenden niedrigeren Leckströme erlauben eine maximale Einsatztemperatur von etwa 350 °C [34].

Eine andere Strategie zur Steigerung der Temperaturstabilität liegt im Einsatz hoher Dotierstoffkonzentrationen. Hierdurch wird die Schwelle der kritischen intrinsischen Ladungsträgerkonzentration erst bei deutlich höheren Temperaturen überschritten [62]. MOSFETs³, die über hohe Dotierstoffkonzentrationen verfügen, lassen sich besonders einfach in einem vertikalen Bauteilkonzept umsetzen. Die einzelnen Gebiete des vertikalen MOSFETs werden durch eine epitaktische Abscheidung dotierter Schichten realisiert. Dadurch lassen sich Kurzkanal-Bauelemente mit einem extrem scharfen Dotierprofil herstellen.

Ein Anwendungsbeispiel, bei dem ein Bedarf an temperaturstabilen MOSFETs besteht, ist durch den FGFET⁴ Gassensor [38] gegeben. Der Sensor erreichte in den letzten Jahren ein hohes Entwicklungsstadium und wird derzeit in klassischer CMOS-Technologie gefertigt. Diese beschränkt jedoch die maximale Einsatztemperatur und damit auch das Anwendungsspektrum des Sensors.

Ein Ziel der vorliegenden Arbeit ist ein Vergleich der unterschiedlichen MOSFET Konzepte hinsichtlich ihrer Temperaturstabilität. Dabei sollen zum einen laterale Transistoren auf Silizium- und SOI-Substraten und zum anderen vertikale Transistoren mit unterschiedlichen Aufbau des Schichtstapels hergestellt werden. Parallel wird auch eine temperaturstabile Variante des FGFET Sensors gefertigt und evaluiert.

Im Folgenden soll ein kurzer Überblick zu den behandelten Themen in den einzelnen Kapiteln gegeben werden.

¹CMOS: Complementary Metal Oxide Semiconductor

²SOI: Silicon On Insulator

³MOSFET: Metal Oxide Semiconductor Field Effect Transistor

⁴FGFET: Floating Gate Field Effect Transistor

Das **Kapitel 2** gibt zunächst einen Einstieg in das Thema der temperaturstabilen MOS Transistoren. Nach einer kurzen Behandlung der physikalischen Grundlagen wird das laterale und vertikale MOSFET Konzept vorgestellt. Vordergründig werden dabei Temperatureffekte beschrieben, die zu einem veränderten Bauteilverhalten führen.

Im **Kapitel 3** wird der FGFET Gassensor vorgestellt. Nach der Beschreibung des Arbeitsprinzips folgt ein Vergleich zwischen der Standard- und einer Hochtemperatur-Variante des Sensors. Herausgestellt werden die Vorteile der höheren Temperaturstabilität, sowie die hierfür erforderlichen Maßnahmen.

Kapitel 4 gibt einen Überblick zu den prinzipiellen Prozessabläufen der Bauelementherstellung. Schrittweise wird dabei der Aufbau des lateralen MOSFETs, des vertikalen MOSFETs sowie des Hochtemperatur-FGFET Sensors erklärt.

Das **Kapitel 5** behandelt die technologischen Grundlagen. Die Schwerpunkte werden dabei auf Technologien gelegt, die für die Prozessentwicklung eine herausragende Rolle spielen.

Im **Kapitel 6** wird die Entwicklung der Einzelprozesse zur Herstellung des vertikalen MOSFETs sowie des FGFET Sensors vorgestellt. Beide Bauelemente zeichnen sich durch eine ähnliche Prozessführung aus und werden daher gemeinsam in einem Kapitel behandelt. Zu den besonders kritischen Einzelprozessen zählen die Abscheidung des Transistorstapels und die Strukturierung der Transistormesa. Beide werden ausführlich beschrieben.

Kapitel 7 befasst sich mit der Prozessentwicklung zum lateralen MOSFET. Ein wichtiger Einzelprozess ist in diesem Fall die Dotierung durch Spin On Dopants, die detaillierter behandelt wird.

Das **Kapitel 8** stellt die Ergebnisse der elektrischen Charakterisierung der in dieser Arbeit hergestellten MOSFETs zusammen. Gegliedert in Raumtemperaturmessungen und Messungen bei erhöhten Temperaturen werden die wichtigsten Bauteilparameter vorgestellt und diskutiert.

Im **Kapitel 9** folgt die Präsentation und Diskussion der Resultate zum FGFET Sensor. Dabei wird neben der Einstellung des Arbeitspunktes auch die Gasbeaufschlagung des Sensors beschrieben.

Abschließend werden im **Kapitel 10** die Ergebnisse dieser Arbeit zusammengefasst und ein Ausblick gegeben.





Kapitel 2

Siliziumbasierte MOSFETs und deren Einsatz bei hohen Temperaturen

Obwohl Silizium nicht zu den klassischen Hochtemperatur-Halbleitern zählt, bietet es den Vorteil der stark ausgereiften Technologie. Dazu gehört eine breite Palette an Prozessen zur Herstellung unterschiedlichster Bauelemente. Das wohl am häufigsten hergestellte Bauelement ist der MOS Feldeffekt-Transistor. Dieser wird in hoher Stückzahl in beinahe jede Schaltung integriert.

Die Funktion des MOSFETs zeigt eine starke Temperaturabhängigkeit. Bestimmte Parameter verändern mit zunehmender Temperatur ihren Wert, was schließlich zum Ausfall der gesamten Schaltung führt. Die Stabilität der Parameter hängt stark vom Aufbau des MOSFETs ab. Einen Einfluss haben beispielsweise Substratmaterial, Dotierung oder Geometrie.

Zu Beginn des Kapitels werden zunächst einige Grundlagen zu den temperaturabhängigen Eigenschaften von Silizium vorgestellt. Vordergründig wird der pn-Übergang als Basis eines jeden Bauelements behandelt. Anschließend folgt ein Unterkapitel zum lateralen MOSFET Konzept. Anhand dieses Transistortyps werden die typischen Bauteilparameter vorgestellt, die sich aus der elektrischen Charakterisierung ableiten lassen. Ferner wird auch der Einfluss der Temperatur auf diese Parameter erläutert. Im gleichen Abschnitt wird auch die SOI-Technologie als Möglichkeit zur Erhöhung der Temperaturstabilität diskutiert. Darauf aufbauend schließt sich ein Unterkapitel zum vertikalen MOSFET Konzept an. In diesem werden zwei unterschiedliche Transistor-Varianten für den Einsatz bei hohen Temperaturen vorgestellt.

2.1 Physikalische Grundlagen

Um die temperaturbedingte Änderung des Bauteilverhaltens interpretieren zu können ist es notwendig die dahinter stehenden physikalischen Effekte zu kennen. Daher werden in diesem Unterkapitel zunächst die wichtigsten temperaturabhängigen Eigenschaften von Silizium beschrieben.

2.1.1 Ladungsträgerdichten im thermischen Gleichgewicht

Die Ladungsträgerdichte in einem Halbleiter stellt sich durch die gegenläufigen Prozesse der Generation und Rekombination ein. Dabei lassen sich die Konzentrationen der Elektronen und der Löcher durch folgende Gleichungen beschreiben:

$$n = N_L \exp\left(\frac{E_F - E_g}{k_b T}\right) \quad (2.1)$$

$$p = N_V \exp\left(-\frac{E_F}{k_b T}\right) \quad (2.2)$$

n, p : Elektronen- und Löcherkonzentration, N_L, N_V : effektive Zustandsdichten im Leitungs- und Valenzband, E_g : Bandlücke, E_F : *Fermi*-Energie, k_B : *Boltzmann*-Konstante, T : Temperatur

Da sich die Ladungsträgergeneration und -rekombination stets im thermodynamischen Gleichgewicht befinden, lässt sich analog zum Massenwirkungsgesetz der Chemie folgende Gleichung aufstellen:

$$n p = N_L N_V \exp\left(-\frac{E_g}{k_b T}\right) = n_i^2 \quad (2.3)$$

n_i : intrinsische Ladungsträgerkonzentration

Im Spezialfall des undotierten (intrinsischen) Halbleiters wird die Konzentration der Elektronen n und Löcher p nur durch die Temperatur und den Bandabstand bestimmt. Da jede thermische Anregung eines Leitungselektrons auch stets ein Loch generiert, gilt für die intrinsische Ladungsträgerkonzentration folgender Zusammenhang:

$$n_i = n = p = \sqrt{N_L N_V} \exp\left(-\frac{E_g}{2k_b T}\right) \quad (2.4)$$

Die intrinsische Ladungsträgerkonzentration n_i wird primär durch die Temperaturabhängigkeit des Exponentialterms bestimmt. Daneben besteht indirekt eine schwache Temperaturabhängigkeit über die effektiven Zustandsdichten $N_L(T), N_V(T) \sim T^{3/2}$ sowie über die Bandlücke $E_g(T)$. Für die Abnahme des Bandabstandes mit zunehmender Temperatur gilt:

$$E_g(T) = E_g(0) - \frac{\alpha T^2}{\beta + T} \quad (2.5)$$

$E_g(0)$: Bandlücke bei 0 K, α, β : Materialkonstanten

2.1.2 Ladungsträgerdichten in dotierten Halbleitern

Für die Funktion aller Halbleiterbauelemente ist es notwendig, ein Ungleichgewicht zwischen den Ladungsträgerdichten von Elektronen und Löchern zu schaffen. Dieser extrinsische Zustand lässt sich durch einen zusätzlichen Eintrag von Dotierstoffen erzielen. Oberhalb von etwa 200 K liegt die vollständige Ionisation der eingebrachten Dotierstoffe vor, sodass folgende die Neutralitätsbedingung gilt:

$$n(T) + N_A = p(T) + N_D \quad (2.6)$$

N_A, N_D : Konzentration der Akzeptoren bzw. Donatoren

Unter Berücksichtigung des Massenwirkungsgesetzes aus der Gleichung 2.3 resultiert folgende temperaturabhängige Elektronen- bzw. Löcherkonzentration:

$$n(T) = \frac{1}{2} \left((N_D - N_A) + \sqrt{(N_D - N_A)^2 + 4n_i^2(T)} \right) \quad (2.7)$$

$$p(T) = \frac{1}{2} \left((N_A - N_D) + \sqrt{(N_A - N_D)^2 + 4n_i^2(T)} \right) \quad (2.8)$$

Dominiert in Gleichung 2.7 die Donatorkonzentration N_D bzw. in Gleichung 2.8 die Akzeptorkonzentration N_A , so kann die jeweils andere vernachlässigt werden. Damit wird die Unterscheidung zwischen n- und p-Halbleitern getroffen.

Die Abbildung 2.1 stellt die Ladungsträgerkonzentration der Majoritäten und Minoritäten als Funktion der Temperatur für verschiedene Dotierstoffkonzentrationen dar.

Im Bereich niedriger Temperaturen wird unabhängig von der Dotierung eine konstante Majoritätenkonzentration beobachtet. Zugleich kann die intrinsische Ladungsträgerkonzentration zunächst vernachlässigt werden. Mit zunehmender Temperatur steigt jedoch Letztere stark an und erreicht bei der sogenannten *intrinsischen Temperatur* T_i den Wert der Majoritätenkonzentration. Ab dieser Temperatur geht extrinsische Zustand und damit die Funktion der Halbleiterbauelemente verloren. Dem Diagramm lässt sich jedoch ebenfalls entnehmen, dass eine hohe Dotierstoffkonzentration zu einer hohen intrinsischen Temperatur führt. Folglich erfordern temperaturstabile Bauelemente hohe Dotierungen.

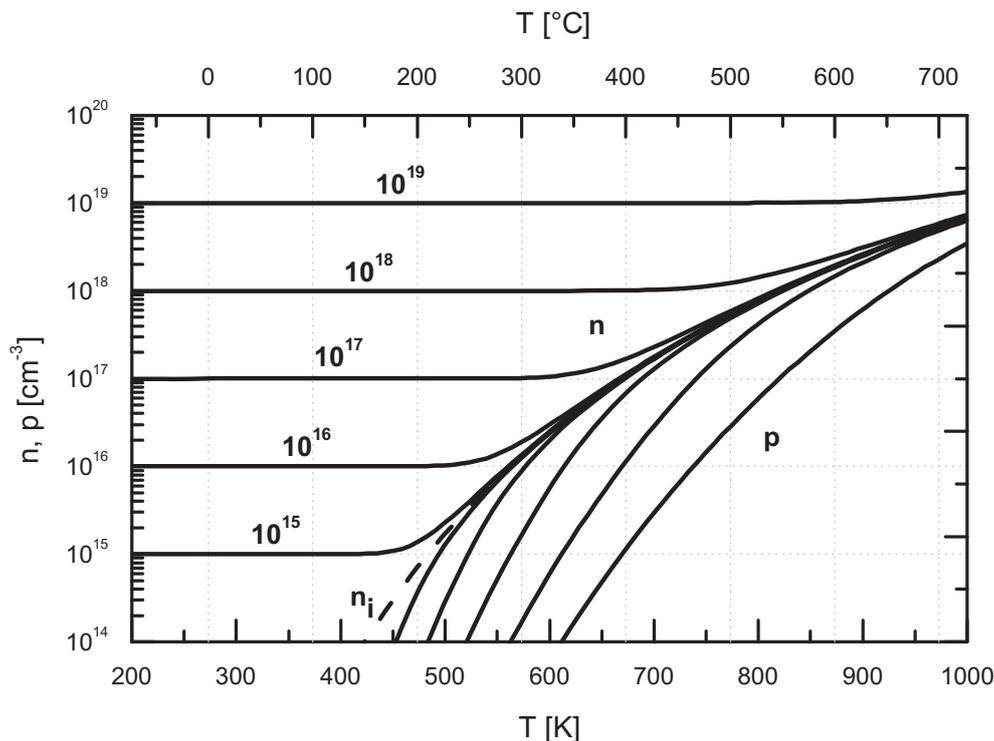


Abb. 2.1: Ladungsträgerkonzentration in Abhängigkeit von der Temperatur und der Donatorkonzentration als Parameter.

2.1.3 *Fermi*-Potenzial

Die *Fermi*-Energie stellt ein Maß für die Stärke der Dotierung eines Halbleiters dar. Ausgehend von einem intrinsischen Halbleiter, dessen *Fermi*-Niveau sich in der Bandmitte befindet, führt die p- bzw. n-Dotierung zu einer Verschiebung von E_F in Richtung Valenz- bzw. Leitungsband. Aus der Energiedifferenz zwischen dem intrinsischen und dem *Fermi*-Niveau des dotierten Halbleiters berechnet sich nach folgender Gleichung das *Fermi*-Potenzial:

$$\phi_F = \frac{E_F - E_i}{e} \quad (2.9)$$

ϕ_F : *Fermi*-Potenzial, E_i intrinsische *Fermi*-Energie, e : Elementarladung

Unter Verwendung der Gleichungen 2.7 und 2.8 lässt sich das *Fermi*-Potenzial für den n- bzw. p-Halbleiter folgendermaßen darstellen:

$$\phi_n = \frac{k_b T}{e} \ln \left(\frac{N_D + \sqrt{N_D^2 + 4n_i^2}}{2n_i} \right) \quad (2.10)$$

$$\phi_p = -\frac{k_b T}{e} \ln \left(\frac{N_A + \sqrt{N_A^2 + 4n_i^2}}{2n_i} \right) \quad (2.11)$$

ϕ_n, ϕ_p : *Fermi*-Potenzial eines n- bzw. p-Halbleiters

Die Abbildung 2.2 stellt das *Fermi*-Potenzial eines n-dotierten Halbleiters in Abhängigkeit der Temperatur für verschiedene Dotierstoffkonzentrationen dar.

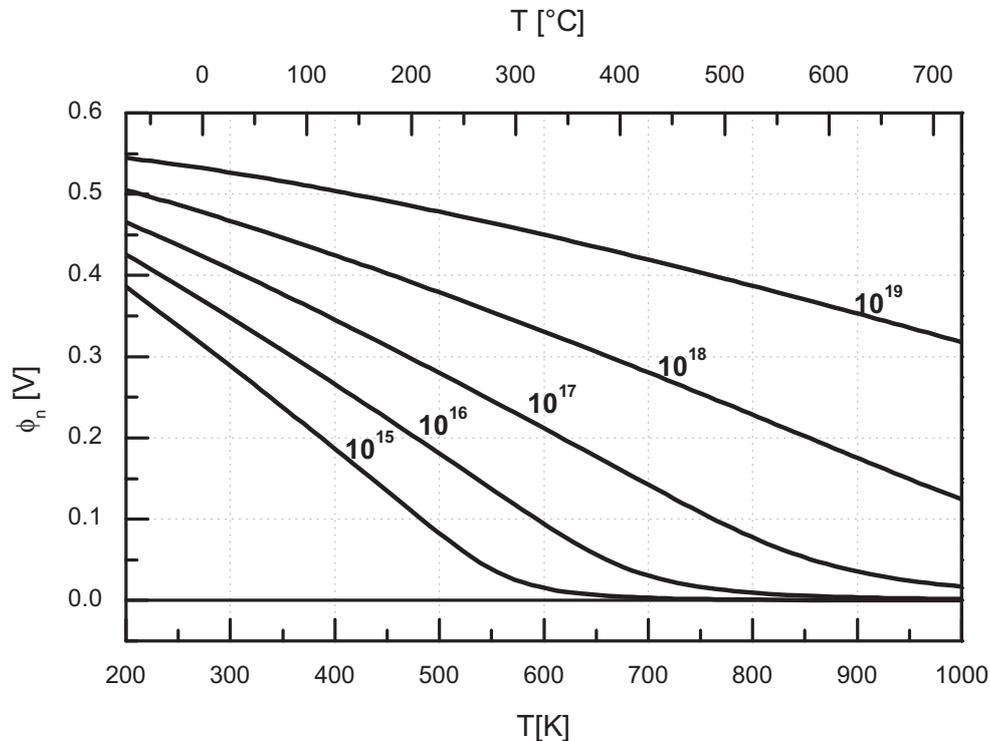


Abb. 2.2: *Fermi*-Potenzial in Abhängigkeit von der Temperatur und der Donatorkonzentration als Parameter.

Zwischen *Fermi*-Potenzial und Ladungsträgerkonzentration besteht eine direkte Verknüpfung. Somit führt die mit zunehmender Temperatur wachsende Konzentration an intrinsischen Ladungsträgern zu einer Annäherung des *Fermi*-Potenzials an die Nulllinie. Höhere Dotierungen bewirken mit steigender Temperatur eine geringere Abnahme des *Fermi*-Potenzials und damit eine höhere Stabilität der Halbleiterbauelemente.

2.1.4 Ladungsträgerbeweglichkeit

Der Ladungstransport in dotierten Halbleitern wird zum einen durch Phononenstreuung und zum anderen durch Streuung an Dotierstoffatomen beeinflusst. Beide Mechanismen verfügen über unterschiedliche Abhängigkeiten von der Temperatur und der Dotierstoffkonzentration [103].

Die resultierende Gesamtbeweglichkeit lässt sich in einem bestimmten Temperaturbereich mithilfe eines empirischen Modells nach *Arora* [7] beschreiben. Die Abbildungen 2.3 und 2.4 zeigen hierzu entsprechende Diagramme.

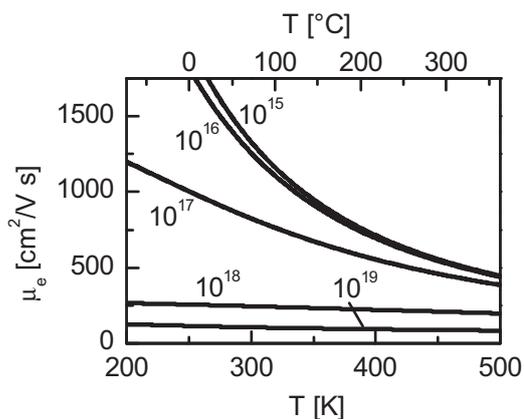


Abb. 2.3: Elektronenbeweglichkeit in Abhängigkeit von der Temperatur und der Donatorkonzentration als Parameter.

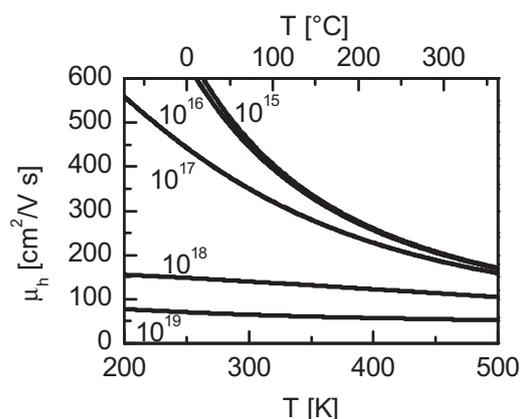


Abb. 2.4: Löcherbeweglichkeit in Abhängigkeit von der Temperatur und der Akzeptorkonzentration als Parameter.

Die für temperaturstabile Bauelemente notwendige hohe Dotierung führt bereits bei Raumtemperatur zu einer niedrigen Löcher- und Elektronenbeweglichkeit. Mit zunehmender Temperatur ändern sich die die Beweglichkeiten hoch dotierter Halbleiter nur noch geringfügig.

2.1.5 pn-Übergang

Der Kontakt zweier unterschiedlich dotierter Bereiche bewirkt die Diffusion von Ladungsträgern in das jeweils andere Gebiet. Im grenzflächennahen Bereich rekombinieren diese und bilden eine Raumladungszone (RLZ) aus, deren Weite durch die Dotierstoffkonzentrationen bestimmt wird. Die in den n- und p-Bereichen verbleibenden festen Ladungsträger führen zur Aufladung der Gebiete. Hieraus resultiert die sogenannte Diffusionsspannung [44, 103]:

$$V_{\text{diff}} = \frac{k_B T}{e} \ln \frac{N_A N_D}{n_i^2} \quad (2.12)$$

V_{diff} : Diffusionsspannung

Das Anlegen einer äußeren Spannung ermöglicht die Ausdehnung oder Verkürzung der Raumladungszone. Für die RLZ-Weite gilt dann:

$$w_{\text{RLZ}} = \sqrt{\frac{2\epsilon_0\epsilon_{\text{Si}}}{e} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) (V_{\text{diff}} + V)} \quad (2.13)$$

w_{RLZ} : Weite der Raumladungszone, ϵ_0 : Permittivität des Vakuums, ϵ_{Si} : Permittivität des Siliziums, V : angelegte Spannung