Knut Schulze

Beiträge zur Technologieentwicklung für die Erzeugung von Airgap-Strukturen in Metallisierungssystemen in integrierten Schaltkreisen

Doktorarbeit / Dissertation



BEI GRIN MACHT SICH IHR WISSEN BEZAHLT



- Wir veröffentlichen Ihre Hausarbeit, Bachelor- und Masterarbeit
- Ihr eigenes eBook und Buch weltweit in allen wichtigen Shops
- Verdienen Sie an jedem Verkauf

Jetzt bei www.GRIN.com hochladen und kostenlos publizieren



Bibliografische Information der Deutschen Nationalbibliothek:

Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über http://dnb.dnb.de/ abrufbar.

Dieses Werk sowie alle darin enthaltenen einzelnen Beiträge und Abbildungen sind urheberrechtlich geschützt. Jede Verwertung, die nicht ausdrücklich vom Urheberrechtsschutz zugelassen ist, bedarf der vorherigen Zustimmung des Verlages. Das gilt insbesondere für Vervielfältigungen, Bearbeitungen, Übersetzungen, Mikroverfilmungen, Auswertungen durch Datenbanken und für die Einspeicherung und Verarbeitung in elektronische Systeme. Alle Rechte, auch die des auszugsweisen Nachdrucks, der fotomechanischen Wiedergabe (einschließlich Mikrokopie) sowie der Auswertung durch Datenbanken oder ähnliche Einrichtungen, vorbehalten.

Impressum:

Copyright © 2008 GRIN Verlag ISBN: 9783640294381

Dieses Buch bei GRIN:

https://www.grin.com/document/123920

Knut Schulze

Beiträge zur Technologieentwicklung für die Erzeugung von Airgap-Strukturen in Metallisierungssystemen in integrierten Schaltkreisen

GRIN - Your knowledge has value

Der GRIN Verlag publiziert seit 1998 wissenschaftliche Arbeiten von Studenten, Hochschullehrern und anderen Akademikern als eBook und gedrucktes Buch. Die Verlagswebsite www.grin.com ist die ideale Plattform zur Veröffentlichung von Hausarbeiten, Abschlussarbeiten, wissenschaftlichen Aufsätzen, Dissertationen und Fachbüchern.

Besuchen Sie uns im Internet:

http://www.grin.com/ http://www.facebook.com/grincom http://www.twitter.com/grin_com

Beiträge zur Technologieentwicklung für die Erzeugung von *Airgap* - Strukturen in Metallisierungssystemen in integrierten Schaltkreisen

von der Fakultät für Elektrotechnik und Informationstechnik der Technischen Universität Chemnitz

genehmigte

Dissertation

zur Erlangung des akademischen Grades Doktor der Ingenieurwissenschaften (Dr.-Ing.)

vorgelegt

von:

Dipl.-Ing. Knut Schulze geboren am 27. Oktober 1976 in Schlema

eingereicht am 15. Januar 2008

Gutachter: Prof. Dr. Dr. Prof. h.c. mult. Thomas Geßner Prof. Dr.-Ing. Wolfram Dötzel Dr. rer. nat. Heinrich Körner

Tag der Verteidigung: 6. Mai 2008

Bibliografische Beschreibung

Schulze, Knut

Beiträge zur Technologieentwicklung für die Erzeugung von Airgap - Strukturen in Metallisierungssystemen in integrierten Schaltkreisen Chemnitz, Technische Universität Fakultät für Elektrotechnik und Informationstechnik

Dissertation A S.: 270 Abb.: 174 Tab.: 35 Lit.: 231 Anl.: 7

Referat

Die Arbeit beschreibt die Entwicklung und Evaluierung zweier neuartiger Technologien (Maske und Spacer) zur Erzeugung von Airgap-Strukturen in Mehrebenenmetallisierungen integrierter Schaltkreise. Ausgangspunkt der Arbeit bildet die Aufarbeitung der Thematik der low-k Materialien sowie der aus der Literatur bekannten Airgap-Ansätze. Es werden die beiden entwickelten Konzepte zur Airgap-Erzeugung prinzipiell beschrieben und hinsichtlich der definierten Zielstellungen (konventionelle Prozessierung, Skalierbarkeit, selektiver Eintrag) sowie vergleichend zu alternativen Airgap-Ansätzen diskutiert. Im Fortgang werden Präparationen beider Technologien vorgestellt und deren Machbarkeit nachgewiesen. Die Erprobung und Optimierung einzelner Prozesse werden dokumentiert. Anhand der funktionsbedingten Anforderungen an Materialien und Grenzflächen werden ausgewählte Integrationsaspekte untersucht. Den Schwerpunkt bildet dabei der Einfluss von Fluorwasserstoffsäure auf elektrisch leitfähige und dielektrische Diffusionsbarrieren, Kupfer sowie deren Verbund. Es werden Möglichkeiten gezeigt, unerwünschte Wechselwirkungen zu minimieren und die Zuverlässigkeit der defektfreien Airgap-Erzeugung zu steigern. Die Arbeit beinhaltet zudem die Charakterisierung von Airqap-Strukturen entsprechend beider Ansätze hinsichtlich ihres elektrischen, thermischen und mechanischen Verhaltens für variierte Geometrien und Materialeigenschaften. Es werden FEM-Simulationen genutzt, um Messwerte zu verifizieren, Extrapolationen bei variierten Eingabedaten durchzuführen oder nicht messbare Größen zu extrahieren.

AIR GAP, AIRGAP, LOW-K, OPFERSCHICHT, BUFFERED HF, GEPUFFERTE HF, FLUSSSÄURE, SPACER, FEM-SIMULATION, TECHNOLOGIE, METALLISIERUNG, DAMASCENE, HALBLEITERTECHNOLOGIE, SIGNALVERZÖGERUNG, k_{eff} , HY-BRIDE INTEGRATION, VERDRAHTUNG, LEITBAHNSYSTEM

Inhaltsverzeichnis

Verzeichnis der verwendeten Abkürzungen und Symbole VII				
1	Ein	leitung		1
2	Leit	Leitbahnsysteme der Mikroelektronik		7
	2.1	Das R	C-Produkt	7
	2.2	Low-k,	Ultra low-k (ULK) und Extreme low-k (ELK) Materialien	12
		2.2.1	Definition	12
		2.2.2	Ansätze	13
			2.2.2.1 Reduktion der dielektrischen Polarisierbarkeit	13
			2.2.2.2 Reduktion der Dichte	16
		2.2.3	Verfügbare Materialien der Klassifizierung $low-k$ und ULK	19
		2.2.4	Integrationsfähigkeit	21
	2.3	Airgap	-Strukturen	29
		2.3.1	Ansätze und Entwicklungsstand von Airgap-Technologien	29
			2.3.1.1 Erzeugung durch Schichtabscheidung	31
			2.3.1.2 Erzeugung durch Entfernen eines Opfermaterials	36
3	Ent	wickelt	e technologische Konzepte zur Erzeugung von Airgaps	43
	3.1	Ausga	ngspunkt und Ziele	43
	3.2	Airgap	mittels Maske-Technologie	44
	3.3	Airgap	mittels Spacer-Technologie	46
	3.4	Diskus	sion der Airgap-Ansätze Maske und Spacer	48
		3.4.1	Merkmale und Unterschiede	48
		3.4.2	Prinzipieller Vergleich zu alternativen Airgap-Ansätzen	50
4	Tec	hnologi	ische Einzelprozesse zur Herstellung der <i>Airgaps</i>	53

	4.1	PECV	D-Abscheidung dielektrischer Schichten
	4.2	Lithog	afie und Lackentfernung (PLE)
	4.3	Plasm	chemisches Ätzen (RIE) $\ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots \ldots 57$
	4.4	Metall	sierung \ldots \ldots \ldots \ldots 57
		4.4.1	Barriereabscheidung
		4.4.2	Kupferabscheidung
	4.5	Chemi	ch-Mechanisches Polieren (CMP)
	4.6	Nassch	emisches Ätzen von SiO_2 -Schichten
	4.7	Prozes	optimierung \ldots \ldots \ldots \ldots \ldots \ldots \ldots 64
		4.7.1	Konforme $PECVD SiO_2$ -Abscheidung
		4.7.2	Anisotropes Rückätzen des SiO_2 -Spacers
5	Prä	paratio	n vollständiger Airgaps 71
	5.1	Techno	ogische Prozessabfolge
		5.1.1	Airgap mittels Spacer - Technologie
		5.1.2	Airgap mittels Maske - Technologie
	5.2	Integra	tionsaspekte
		5.2.1	Erprobung des Chemisch-Mechanischen Polierens (<i>CMP</i>) auf <i>Air-</i> gap-Strukturen
		5.2.2	Einfluss <i>HF</i> -basierenden Nassätzmedien auf leitfähige Diffusions- barrieren sowie Kupfer
			5.2.2.1 Resistenz und Dichtigkeit von leitfähigen Diffusionsbarrieren 83
			5.2.2.2 Einfluss auf Kupfer(leitbahnen) und deren Wirkmechanis- men
			5.2.2.3 Optimierung der Grenzflächen $Cu/SiC:H$ und $Cu/SiCN:H$ 90
		5.2.3	Modifikation HF -resistenter dielektrischer $PECVD$ $SiC:H$ - und $SiCN:H$ - Schichten durch Trockenätz- (RIE) und Resiststripprozesse (PLE) und deren Bedeutung
		5.2.4	Mechanisches Schichtspannungsverhalten von $PECVD SiC:H$ Schichten bei Abscheidung auf $PECVD SiO_2$
6	Cha	arakter	sierung 103
	6.1	Die Fi	ite-Element-Methode (FEM)
	6.2	Elektr	che Charakterisierung
		6.2.1	Kapazitätsmessungen während des Opferschichtätzens 105

	6.2.2	FEM-Si	imulation der Kammkapazitäten während des Opferschichtät-
			Ducklass et allow a such Vanach and 112
		0.2.2.1	Problemstellung und vorgenen
		6.2.2.2	Fehlerabschatzung und Modellierungsumfang
		6.2.2.3	Simuliertes Kapazitätsverhalten
	6.2.3	FEM-S	mulation der effektiven Dielektrizitätskonstante k_{eff} 121
		6.2.3.1	Problemstellung und Vorgehen
		6.2.3.2	Extraktion von k_{eff} für präparierte Airgap-Strukturen 123
		6.2.3.3	Extraktion von k_{eff} für Geometrien der <i>near-term</i> - (65 nm bis 32 nm) und <i>long-term</i> -Chipgenerationen (22 nm) 124
	6.2.4	Einfluss verhalte	des nasschemischen Opferschichtätzens auf das Leckstrom- m
	6.2.5	Zusamn Struktu	nenfassung der elektrischen Charakterisierung der <i>Airgap</i> - ren
6.3	Therm	nische Ch	arakterisierung
	6.3.1	<i>FEM</i> -Si systeme	mulation der thermischen Belastung von Metallisierungs- n
		6.3.1.1	Modell eines Leitbahnsystems der 45 nm Technologie 141
		6.3.1.2	Charakterisierung einer Zwei-Leiteranordnung hinsichtlich Temperaturverteilung und Wärmefluss in Abhängigkeit von der Dichte der <i>Via</i> -Besetzung
		6.3.1.3	Thermische Charakterisierung der Grundelemente der Air- gap-Ansätze Maske und Spacer
		6.3.1.4	Thermische Charakterisierung des <i>Spacer</i> -Ansatzes hin- sichtlich Leitbahnabstand
	6.3.2	Bestimr ten mitl	nung der thermischen Leitfähigkeit von dielektrischen Schich- nilfe der 3ω -Messmethode
		6.3.2.1	Theorie der 3ω -Methode
		6.3.2.2	Durchführung der 3ω -Messung
		6.3.2.3	Proben präparation der 3ω -Messung
		6.3.2.4	Messaufbau der 3ω -Messung
		6.3.2.5	Messung des Temperaturkoeffizienten α (<i>TCR</i>) 161
		6.3.2.6	Messung der Spannungssignale $U_{1\omega}$ und $U_{3\omega}$
		6.3.2.7	Thermische Leitfähigkeit relevanter Schichten für Techno- logien zur Airqap-Erzeugung Maske und Spacer
	6.3.3	Zusamn	nenfassung der thermischen Charakterisierung

	6.4	FEM-	Simulatic	on des mechanischen Verhaltens von $Airgaps$. 165
		6.4.1	Problem	stellung und Vorgehen	. 165
		6.4.2	Modelle	ntwurf und Variationsumfang $\ldots \ldots \ldots \ldots \ldots \ldots \ldots$. 166
		6.4.3	Materia	lparameter	. 168
			6.4.3.1	Mechanische Eigenschaften $\ldots \ldots \ldots \ldots \ldots \ldots$. 168
			6.4.3.2	Quantifizierung der Haftfestigkeit relevanter Schichtkom- binationen	. 169
		6.4.4	Ergebnis	sse	. 171
			6.4.4.1	Symmetrische Leitbahnanordnung	. 171
			6.4.4.2	Unsymmetrische Leitbahnanordnung	. 177
		6.4.5	Zusamm lationen	enfassung und Schlussfolgerungen der mechanischen Simu-	. 178
7	\mathbf{Zus}	ammer	nfassung	und Ausblick	179
$\mathbf{Li}^{\mathbf{r}}$	terat	urverz	eichnis		184
Al	bbild	ungsve	erzeichn	is	205
Ta	abelle	enverze	eichnis		221
\mathbf{A}	Her	stellun	ig von N	Ietallisierungssystemen	225
	A.1	Subtra	aktive und	d Damascene-Architektur	. 225
	A.2	Single	- und Du	al-Damascene-Technologie	. 227
	A.3	Varian	ten der <i>l</i>	Dual-Damascene-Technologie	. 228
в	Ätz zent	rate vo tration	on <i>PECV</i> und Te	$DSiO_2$ in HF -haltiger Nasschemie bei variierter Komperatur	n- 231
					_
С	Ana (<i>EE</i>	alyse v SSD)	on Kup	$ferschichten \ durch \ Electron-Back-Scatter-Diffraction \\ ferschichten \ durch \ durch \ durch \ durch \\ ferschichten \ durch \ durch \ durch \ durch \\ ferschichten \ durch \$	on 233
D	Prä	paratio	on mehr	lagiger Airgap-Strukturen	237
\mathbf{E}	Sch bei	ichtspa thermi	innungs ischer B	werhalten der Materialien $PECVD SiO_2$ und SiC_2 eanspruchung bis 400 °C	H 239
\mathbf{F}	4-P	oint-Be	ending 7	Test $(4PB)$	243

INHALTSVERZEICHNIS

G	XPS	S-Konzentrationsprofile der 4-Point-Bending-Proben	245
	G.1	Aufgabenstellung	245
	G.2	$Probenbeschreibung \ldots \ldots$	245
	G.3	Untersuchungsverfahren	246
	G.4	Ergebnisse	246
	G.5	XPS-Oberflächenanalyse	246
	G.6	XPS-Tiefenprofilanalyse	247
\mathbf{Th}	esen		249
Da	Danksagung 255		
Leł	Lebenslauf 257		
Vei	Veröffentlichungen 258		
Sac	Sachregister 261		

V

Verzeichnis der Abkürzungen und Symbole

Abkürzungen und Akronyme

4PB	4-Point-Bending, 4-Punkt-Biegeversuch
AFM	Atomic Force Microscopy (Atom-Raster-Kraft-Mikroskopie)
ALD	Atomic Layer Deposition, Atomlagenabscheidung
BE	Back End
BEOL	Back End of Line
BHF	buffered HF, gepufferte Fluorwasserstoffsäure (NH_4F)
BIAS	eine konstante Größe, die einem Nutzsignal überlagert wird
BLOk	Bezeichnung des Rezeptes zur Abscheidung von PECVD SiC:H-Schichten
	sowie der Schicht selbst
buffered HF	gepufferte Fluorwasserstoffsäure (NH_4F)
CAD	Computer Aided Design, Rechnerunterstützte Konstruktion
CBLOk	Bezeichnung des Rezeptes zur Abscheidung von PECVD SiCN:H-Schichten
	sowie der Schicht selbst
CDO	Carbon-doped Oxide
CMOS	Complementary MOS, Komplementäre MOS-Technik
CMP	Chemical-Mechanical Polishing, Chemisch-Mechanisches Polieren
CSM	Continuous Stiffness Measurement
CVD	Chemical Vapor Deposition, Chemische Gasphasenabscheidung
DB	Zusammenfassung elektrisch leitfähiger Diffusionsbarrieren
DHM	Dual Hard Mask
EBSD	Electron Back Scatter Diffraction, Beugung rückgestrahlter Sekundärelek-
	tronen
ECD	Electro-Chemical Deposition, elektrochemische Abscheidung
ED	Electroless Deposition
EELS	$Electron\ Energy\ Lost\ Spectroscopy, Elektronen-Energieverlust spektroskopied (Marchaeverlust)$

ELK	Extreme <i>low-k</i>
EP	Ellipsometrische Porosimetrie
F10	2,2'-Bis (4-cyanatophenyl)-1,1,1,3,3,3-hexa fluoroisopropylidene
FdO	Erzeugung von Airgaps durch Entfernen eines Opfermaterials
FdS	Erzeugung von Airgaps durch Schichtabscheidung
FE	Front End
FEM	Finite Element Methode
FEOL	Front End of Line
FIB	Focused Ion Beam, ermöglicht Querschnittsinspektion ohne Zerstörung des
	gesamten Wafers
FSG	Fluorinated Silicon Glass
Global level	oberste Leitbahnebenen eines mehrlagigen Metallisierungssystems
$HDR-SiO_2$	Rezept zur Abscheidung von PECVD SiO ₂ -Schichten mit großer Rate
	$(1 \ \mu { m m/min})$
$_{ m HF}$	Fluorwasserstoff
	Hochfrequenz (z.B. HF-Elektrode, HF-Plasmaquelle, HF-Entladungsplasma)
HMDS	Hexamethyldisilazan
IC	Integrated Circuit, Integrierte Schaltung
ICP	Inductive Coupled Plasma, induktiv gekoppeltes Plasma
Intermediate	Leitbahnebenen des mittleren Bereiches eines mehrlagigen Metallisierungs-
	systems
ITRS	International Technology Roadmap for Semiconductors, Internationaler
	Entwicklungsplan der Halbleitertechnik
IUPAC	International Union for Pure and Applied Chemistry
$LDR-SiO_2$	Rezept zur Abscheidung von PECVD SiO_2 -Schichten mit geringer Rate
	(300 nm/min)
LDS	Liquid Delivery System
LL-SiC	Low Leakage Siliziumkarbid
LPCMP	Low Pressure CMP, siehe CMP
LPCVD	Niederdruck-CVD
LSAW	Laser-induced-Surface-Acoustic-Waves
$\mathrm{mCF_{3}Cy}$	Meta-(trifluoromethyl)-phenylcyanate)
Metal1	unterste Leitbahnebene einer Mehrlagenmetallisierung
MOCVD	Metal-Organic Chemical Vapor Deposition, Metallorganische Chemische
	Gasphasenabscheidung
MPU	Micro Processing Unit (Mikroprozessor)

MTTF	Mean Time to Failure, mittlere Lebensdauer, auch als t_{50} bezeichnet
NCS	Nano-Clustering Silica
OSG	Organosilicate Glass
\mathbf{PC}	Personal Computer
PCMPBO	Post CMP Burn Out, auch als Solid-First-Integration bezeichnet
PEBO	Post Etch Burn Out
PECVD	Plasma Enhanced Chemical Vapor Deposition, Plasma-gestützte Chemi-
	sche Gasphasenabscheidung
PLE	Plasma Lack Entfernung
Precursor	Ausgangssubstanz
PVD	Physical Vapor Deposition, Physikalische Dampfphasenabscheidung
REM	Rasterelektronenmikroskopie
	Rasterelektronenmikroskop
\mathbf{RF}	Radio Frequency, Hochfrequenz
RIE	Reactive Ion Etch, reaktives Ionenätzen
RMS	Root mean square roughness, mittlere quadratische Rauigkeit
SAB	Self Aligned Barriers, selektiv abgeschiedene Diffusionsbarrieren
SANS	Small-ANgle-Scattering
sccm	Standard Cubic Centimeters per Minute, Standardkubikzentimeter pro Mi-
	nute
SHM	Single Hard Mask
SiC	Siliziumkarbid
m SiC $ m SOG$	Siliziumkarbid Spin-on Glasses
SiC SOG Sol	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln
SiC SOG Sol SOP	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers
SiC SOG Sol SOP STAB	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers Standardabweichung
SiC SOG Sol SOP STAB SThM	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers Standardabweichung Scanning Thermal Microscope
SiC SOG SOI SOP STAB SThM SW	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers Standardabweichung Scanning Thermal Microscope Selective Tungsten Chamber, Prozesskammer zur selektiven Abscheidung
SiC SOG SOI SOP STAB SThM SW	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers Standardabweichung Scanning Thermal Microscope Selective Tungsten Chamber, Prozesskammer zur selektiven Abscheidung von Wolframverbindungen im PECVD-Verfahren
SiC SOG Sol SOP STAB SThM SW TCR	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers Standardabweichung Scanning Thermal Microscope Selective Tungsten Chamber, Prozesskammer zur selektiven Abscheidung von Wolframverbindungen im PECVD-Verfahren Thermal Coefficient of Resistance, Temperaturkoeffizient oder Tempera-
SiC SOG SOP STAB SThM SW TCR	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers Standardabweichung Scanning Thermal Microscope Selective Tungsten Chamber, Prozesskammer zur selektiven Abscheidung von Wolframverbindungen im PECVD-Verfahren Thermal Coefficient of Resistance, Temperaturkoeffizient oder Tempera- turbeiwert
SiC SOG Sol SOP STAB SThM SW TCR TDDB	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers Standardabweichung Scanning Thermal Microscope Selective Tungsten Chamber, Prozesskammer zur selektiven Abscheidung von Wolframverbindungen im PECVD-Verfahren Thermal Coefficient of Resistance, Temperaturkoeffizient oder Tempera- turbeiwert Time Dependent Dielectric Breakdown, zeitabhängiger Durchbruch des Di-
SiC SOG Sol SOP STAB SThM SW TCR TDDB	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers Standardabweichung Scanning Thermal Microscope Selective Tungsten Chamber, Prozesskammer zur selektiven Abscheidung von Wolframverbindungen im PECVD-Verfahren Thermal Coefficient of Resistance, Temperaturkoeffizient oder Tempera- turbeiwert Time Dependent Dielectric Breakdown, zeitabhängiger Durchbruch des Di- elektrikums durch Anlegen eines äußeren elektrischen Feldes
SiC SOG Sol SOP STAB SThM SW TCR TDDB TDP	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers Standardabweichung Scanning Thermal Microscope Selective Tungsten Chamber, Prozesskammer zur selektiven Abscheidung von Wolframverbindungen im PECVD-Verfahren Thermal Coefficient of Resistance, Temperaturkoeffizient oder Tempera- turbeiwert Time Dependent Dielectric Breakdown, zeitabhängiger Durchbruch des Di- elektrikums durch Anlegen eines äußeren elektrischen Feldes Thermal Design Point
SiC SOG Sol SOP STAB SThM SW TCR TDDB TDP TEM	Siliziumkarbid Spin-on Glasses kolloidale Lösung von Feststoffpartikeln Spin-on Polymers Standardabweichung Scanning Thermal Microscope Selective Tungsten Chamber, Prozesskammer zur selektiven Abscheidung von Wolframverbindungen im PECVD-Verfahren Thermal Coefficient of Resistance, Temperaturkoeffizient oder Tempera- turbeiwert Time Dependent Dielectric Breakdown, zeitabhängiger Durchbruch des Di- elektrikums durch Anlegen eines äußeren elektrischen Feldes Thermal Design Point

ULK	Ultra <i>low-k</i>
ULSI	Ultra Large Scale Integration
UV	Ultra-violett
XPS	X-ray Photoelectron Spectroscopy, Röntgeninduzierte Fotoelektronenspek-
	troskopie
Symbole	
α	Linearer Wärmeausdehnungskoeffizient
	Temperaturkoeffizient oder Temperaturbeiwert
$\Delta \vartheta$	Temperaturänderung bezogen auf 25 °C
Δb	Dickenabtrag an horizontal ausgerichteten Schichtoberflächen
Δs	Dickenabtrag an vertikal ausgerichteten Schichtoberflächen
λ	thermische Leitfähigkeit
λ_{eff}	effektive wirksame thermische Leitfähigkeit gemischt geschichteter Mate-
	rialien
ω	Kreisfrequenz
ϕ	Porositätsgrad, Verhältnis des kumulierten Porenvolumens zum Gesamt-
	volumen
σ	mechanische Schichtspannung
σ_k	kritische Adhäsionsspannung
$ au_{BEOL}$	Zeitkonstante im Bereich des Leitbahnsystems
$ au_{FEOL}$	Zeitkonstante im Bereich der aktiven Bauelemente
$ au_{Halb/Cu/Luft}$	Zeitkonstante des Metallisierungssystems mit hybrider Integration von ${\it Air}$
	$gaps$ (Airgaps zwischen Leitbahnen der selben Ebene, SiO_2 im Via-Level)
$ au_{Voll/Cu/low-k}$	Zeitkonstante des Metallisierungssystems mit vollständiger Integration von
	$\mathit{low-k}$ Material ($\mathit{low-k}$ Material sowohl zwischen den Leitbahnen der selben
	Ebene als auch im <i>Via</i> -Level)
v	Poissonzahl
ε_0	elektrische Feldkonstante, im englischen Sprachgebrauch k_0 bezeichnet,
	Permittivität des Vakuums $(8,8542 \cdot 10^{-12} \frac{As}{Vm})$
ε_r	relative Dielektrizitätskonstante, im englischen Sprachraum als \boldsymbol{k} bezeich-
	net
\varnothing_P	mittlerer Porendurchmesser
arphi	elektrisches Potential
	Phasenverschiebung zweier Signale
ϱ	Ladungsdichte
	spezifischer elektrischer Widerstand

A	Querschnittsfläche einer Leitbahn
b	Breite (z.B. einer Leitbahn oder eines Leitbahnabstands)
C	elektrische Kapazität
C_h, C_{h1}, C_{h2}	elektrische Kapazität zwischen Leitbahnen der gleichen Metallisierungs-
	ebene
C_v, C_{v1}, C_{v2}	elektrische Kapazität zwischen Leitbahnen unterschiedlicher Metallisierungs-
	ebenen
CT	Maß zur Beurteilung des thermischen Übersprechens zweier Leitbahnen
CTE	Thermal Coefficient of Expansion, Thermischer Ausdehnungskoeffizient)
d_L	Leitbahnabstand
E	E-Modul
E_{BD}	elektrische Durchbruchsfeldstärke
F	relative Abweichung
f_1, f_2	prozentuale Volumenanteile der Komponenten eines Stoffgemischs
G	Adhäsionsenergie, Adhäsionsarbeit
	kritische Energierate
h	Höhe (z.B. einer Leitbahn)
Ι	elektrischer Strom
J_W	Stromdichte während des Plating-Prozesses
k	relative Dielektrizitätskonstante, im deutschen Sprachraum als ε_r bezeich-
	net
k_0	elektrische Feldkonstante, im deutschen Sprachgebrauch ε_0 bezeichnet, Per-
	mittivität des Vakuums $(8,8542 \cdot 10^{-12} \frac{As}{Vm})$
k_{bulk}	relative Dielektrizitätskonstante des Volumenmaterials, entspricht \boldsymbol{k}
k_{dense}	relative Dielektrizitätskonstante der festen Materialkomponente eines po-
	rösen Materials
k_{eff}	effektive Dielektrititätskonstante einer gemischten Anordnung dielektri-
	scher Bereiche
k_{Metall}	relative Dielektrizitätskonstante des Isolatormaterials innerhalb einer Leit-
	bahnebene
k_{Via}	relative Dielektrizitätskonstante des Isolatormaterials innerhalb der Via-
	Ebene
l	Länge (z.B. einer Leitbahn)
Lk	mittlere Korngröße
n	Brechungsindex
	Anzahl der Fensteröffnungen der Hartmaske

XII	Verzeichnis der verwendeten Abkürzungen und Symbole		
Р	Pitchmaß (Summe der Länge von Leitbahnbreite und Leitbahnabstand, Annahme von Symmetrie)		
PR	Polierrate der CMP-Behandlung		
Q	elektrische Ladung		
R	elektrischer Widerstand		
R_S	Schichtwiderstand		
R_{AI}	Maß der Anisotropie		
R_{Temp}	Temperaturverhältnis aktiv und passiv geheizter Leitbahnen in Abhängig-		
	keit des Zwischendielektrikums und des Besetzungsgrads R_{Via}		
R_{Via}	prozentuales Verhältnis der Besetzung einer Leitbahn durch $Vias$		
s	Leitbahnabstand		
T	Temperatur		
T_M	arithmetisch gemittelte Temperatur		
U	elektrische Spannung		
$U_{1\omega}, U_{3\omega}$	charakteristische Spannungssignale der 3ω -Messung		
V	Volumen		
v_a	Aspektverhältnis (Verhältnis von Höhe zu Breite)		
V_P	kumuliertes Porenvolumen		
W	Energie		
w	Schichtdicke des Spacer-Materials		
z	Anzahl der Fingerpaare einer Kammstruktur		
Z_k	Kornanzahl		

Kapitel 1

Einleitung

Seit der Markteinführung des ersten Mikroprozessors 4004 im Jahre 1971 durch Intel®1 mit etwa 2.300 Transistoren stellte sich eine anhaltend stürmische Entwicklung der Halbleiterindustrie ein. Entsprechend der Vorhersage durch Gordon Moore im Jahre 1965 verdoppelte sich die Anzahl der Transistoren pro Silizium-Chip nahezu aller 18 Monate. So wurden in der 386er Prozessor-Serie Mitte der Achtziger etwa 275.000 Transistoren integriert. Die Millionengrenze wurde im Jahr 1989 durch den 486er-Prozessor erreicht. Etwa drei Millionen Transistoren enthält der Pentium®-Prozessor aus dem Jahre 1993 und der Pentium[®] IV etwa 42 Millionen im Jahr 2001 [1]. Ein weiterer Meilenstein wurde gesetzt, als 2006 der Intel[®] Itanium[®] 2-Prozessor mit 1,7 Milliarden Transistoren der Öffentlichkeit präsentiert wurde [2]. Entsprechend dem Bereich der aktiven Bauelemente $(FEOL^2)$ gewann dabei das Metallisierungssystem (BEOL³), zur Verschaltung dieser, zunehmend an Komplexität und Packungsdichte (3 Ebenen und 100 m Verdrahtung/Chip für die 1 μ m Technologie, 10 Ebenen und 5000 m Verdrahtung/Chip für 90 nm Technologie [3]). Der Schlüssel für diese gewaltige Entwicklung war Skalierung der Strukturabmessungen. Wurden die 386er Prozessoren vor nunmehr etwa 20 Jahren mit minimalen Strukturgrößen im Bereich 1,5 μ m bis 1 μ m gefertigt, liegen diese bei heutigen Prozessoren bei 65 nm (z.B. Intel[®] CoreTM 2 Duo). Die minimalen Strukturbreiten wurden dabei mit fortschreitender Generation auf etwa 70 % der vorangegangenen reduziert. Dementsprechend erhöhte sich die Transistordichte (Anzahl pro Fläche) um den Faktor 2. Die Schaltgeschwindigkeit der Transistoren nahm jeweils um Faktor 1,5 zu, ermöglicht durch kürzere Gatelängen⁴. Durch Skalierung wurde darüber hinaus einer proportionalen Zunahme der aufgenommenen Leis-

¹Integrated Electronics, gegründet 1968 von Gordon Moore

 $^{^{2}}$ Front-End-Of-Line

 $^{^{3}\}text{Back-End-Of-Line}$

⁴umgekehrte Proportionalität der Grenzfrequenz des MOS-Transistors und dessen Gatelänge [4], [5]

tung im aktiven Bereich der Bauelemente entgegen gewirkt und die Herstellungskosten der Schaltkreise signifikant gesenkt. Die Errungenschaften in den aktiven Bereichen der Schaltkreise, als Folge der Skalierung (abnehmende Schaltzeiten τ_{FEOL}), wurden dabei zunehmend durch die ansteigende Signalverzögerung τ_{BEOL} im Verdrahtungssystem aufgehoben und die Leistungsfähigkeit der Schaltkreise limitiert. Für die 250 nm Technologie stellten sich erstmals etwa gleichgroße Werte für τ_{FEOL} und τ_{BEOL} ein. Die Signalverzögerung des Kontakt- und Leitbahnsystems τ_{BEOL} wird durch das *RC*-Produkt bestimmt. Maßnahmen zur Reduktion dessen bieten sich dementsprechend aus der Verminderung des Leitbahnwiderstands R sowie der zwischen den Leitbahnen auftretenden parasitären Kapazitäten C. Durch den Ersatz des konventionellen Leitbahnmaterials Aluminium durch Kupfer, in der Prozessortechnologie⁵ im Jahre 2000, wurde die Leitfähigkeit der Verdrahtungen reduziert ($\rho_{Al}=2,78 \ \mu\Omega \text{cm}, \ \rho_{Cu}=1,72 \ \mu\Omega \text{cm}$ [6]). Die Größe der sich bildenden parasitären Kapazitäten ist gekoppelt an die Leitbahnabstände d_L , die Größe der Leitbahnoberflächen A sowie die relative Permittivität ε_r (im Folgenden als k bezeichnet) der elektrisch isolierenden Materialien. Die Vergrößerung der Leitbahnabstände zur Reduktion parasitärer Kapazitäten widerspricht der Skalierung selbst. Demgegenüber ist die Verkleinerung der Leitbahnoberflächen unmittelbar an die Skalierung gekoppelt, bewirkt jedoch die Zunahme der im Leitbahnquerschnitt auftretenden Stromdichten sowie dessen spezifischen Widerstands. Beide Effekte sind unerwünscht und es werden höhere Aspektverhältnisse der Leitbahnen eingesetzt, um diesen entgegen zu wirken. Demzufolge ist lediglich die Reduktion der Permittivität des Isolatormaterials als wirksamer Mechanismus zur Minimierung parasitärer Kapazitäten anzuwenden.

In der 180 nm Technologie wurden fluorinierte Siliziumdioxide industriell appliziert. Gegenüber konventionellem SiO_2 , das nunmehr seit 40 Jahren Teil der mikroelektronischen Evolution ist, konnte dadurch die relative Dielektrizitätskonstante von $k_{SiO_2} \approx 4$ auf $k_{SiO:F} \approx 3,7$ gesenkt werden. Materialien mit gegenüber SiO_2 verringerter Permittivität werden allgemein als Gruppe der *low-k* Materialien bezeichnet. Weiterführende Bestrebungen zu Integration von Materialien mit verringerter Permittivität erwiesen sich schwieriger als erwartet. Während fluoriniertes SiO_2 ein lediglich schwach modifiziertes Eigenschaftspofil gegenüber SiO_2 aufweist [7] und somit auch ein hohes Maß an Prozesskompatibilität gewährt, zeigten sich bei Materialien mit stärker reduzierter Permittivität (k < 3) große Integrationsprobleme. Unzureichende elektrische, mechanische, chemische und thermische Eigenschaften führten dazu, dass die durch die *International Technology Roadmap for Semiconductors (ITRS)* anvisierten k-Werte der Isolatormaterialien jährlich entschärft wurden. So wurde 2001 für das Jahr 2007 k < 2,1 angestrebt [8], während bis

⁵gleichzeitige Umstellung von *subtraktiver Architektur* zu Damascene-Architektur

zum Jahr 2006 dieser Wert auf k < 2,7 entspannt wurde [8]. Eine Schlüsselrolle kommt dabei porösen Materialien zu. Das Gemisch aus Bereichen festen Materials der Permittivität k_{dense} und vakuum- oder gasgefüllter Poren mit der niedrigstmöglichen relativen Dielektrizitätskonstante $k_{Vakuum} = 1$ bietet hohes Potential, relative Dielektrizitätskonstanten k < 2 bereit zu stellen [9]. Gleichzeitig begünstigt Porosität eine Vielzahl grundlegender Probleme, wie Feuchteadsorption [10], [11], Adsorption von Prozessmedien [12], [13], Minderung von E-Modul, Härte und Haftvermögen [14] sowie die Verschlechterung der thermischen Leitfähigkeit, um nur einige zu nennen. Durch optimierte Prozessierung oder erhöhten Integrationsaufwand lassen sich einige dieser Probleme kompromissbehaftet beherrschen.

Neben der Integration von low-k Materialien existieren Ansätze zur lokalen Erzeugung gasgefüllter oder evakuierter Bereiche in Leitbahnsystemen der Mikroelektronik, um die Signalverzögerung im Verdrahtungssystem zu reduzieren. Sie werden allgemein als Airgaps⁶ verstanden. Es wird sich dabei, vergleichbar zu porösen Dielektrika, der in Gasen oder Vakuum wirksamen relativen Dielektrizitätskonstante von nahezu 1 bedient, um elektrische Wechselwirkungen zwischen Leitbahnen zu reduzieren. Verglichen zu porösen Dielektrika liegen dabei die Abmessungen der erzeugten Hohlräume im Bereich der Strukturabmessungen des Leitbahnsystems selbst. Die Entwicklung derartiger Technologien befindet sich zur Zeit im Entwicklungsstadium und wird industriell nicht angewendet. Sie werden seit 2005 in der *ITRS* [8] als potentielle Alternative zur *low-k* Integration angesehen. Aus der Literatur bekannte Ansätze zur Airgap-Erzeugung werden realisiert durch Schichtabscheidung oder die Entfernung eines Opfermaterials. Hintergrund derartiger Aktivitäten ist, den hohen Aufwand, wie er bei der *low-k* Integration betrieben wird, zu reduzieren und darüber hinaus eine vergleichbare oder gesteigerte Leistungsfähigkeit der Schaltkreise zu erzielen.

Die vorliegende Arbeit befasst sich mit der Entwicklung zweier Airgap-Technologien sowie der elektrischen, mechanischen und thermischen Charakterisierung so erzeugter Strukturen. Beide Varianten sind dem Opferschichtansatz zugeordnet. Als Opfermaterial wird $PECVD SiO_2$ verwendet, welches nasschemisch durch wässrige Lösungen von Fluorwasserstoff (HF) selektiv entfernt wird.

In **Kapitel 2** erfolgen grundlegende Berechnungen hinsichtlich der Signalverzögerung τ_{BEOL} in Leitbahnsystemen unter Verwendung der Leitbahnmaterialien Aluminium und Kupfer sowie der Integration von *low-k* Materialien und *Airgaps*. Anschließend werden die Mechanismen der Reduktion der Permittivität von dielektrischen Werkstoffen systemati-

 $^{^{6}}$ deutsch: Luftspalt

siert und aus der Literatur bekannte Materialien mit ihrem Eigenschaftsprofil vorgestellt. Hinsichtlich der Integrationsfähigkeit derartiger Materialien werden die wesentlichen Probleme sowie ausgewählte Ansätze zu deren Minderung oder Bewältigung beschrieben. Im Fortgang sind die Grundlagen bekannter *Airgap*-Technologien aufgearbeitet und einzelne Ansätze aus der Literatur vorgestellt und diskutiert.

Kapitel 3 stellt die Konzepte der im Rahmen dieser Arbeit entwickelten Technologien Maske und Spacer zur Airgap-Erzeugung dar. Prinzipielle Merkmale und Unterschiede werden erläutert. Abschließend erfolgt eine vergleichende Diskussion zu alternativen Airgap-Ansätzen der Literatur. Der selektive Eintrag von Hohlräumen ist charakteristisch für beide Ansätze.

Kapitel 4 beinhaltet die Beschreibung der Einzelprozesse zur Umsetzung beider Airgap-Technologien Maske und Spacer. Darüber hinaus werden Ergebnisse zur Optimierung und Adaptierung einzelner Prozesse im Zusammenhang mit der Technologieentwicklung vorgestellt.

Die Dokumentation der Teilschritte der Präparation beider Airgap-Ansätze erfolgt im ersten Teil des **Kapitels 5**. Der zweite Abschnitt beschäftigt sich mit der Erprobung des *CMP*-Prozesses auf Airgap-Strukturen sowie mit Wechselwirkungen während der Prozessierung. Hinsichtlich dieser Wechselwirkungen wird schwerpunktmäßig der Einfluss *HF* basierender Nasschemikalien auf Materialien und Grenzflächen innerhalb der Architekturen untersucht. Im Weiteren erfolgt die mechanische Charakterisierung ausgewählter Schichten unter thermischer Auslagerung.

Die Charakterisierung der Airgap-Strukturen erfolgt in **Kapitel 6**. Es werden Messergebnisse zur elektrischen Kapazitätsänderung und des Leckstromverhaltens von Teststrukturen während der Airgap-Erzeugung aufgezeigt. Die Kapazitätsmessungen werden durch *FEM*-Simulation verifiziert. Es wird der Nachweis der Richtigkeit der entsprechenden Modellansätze erbracht. Um einen Vergleich zu low-k Integrationsschemen sowie anderen Airgap-Technologien zu ermöglichen, wurde die charakteristische Größe k_{eff} für variierte Geometrie und Materialparameter durch *FEM*-Simulation extrahiert. Anschließend wird das thermische Verhalten von Leitbahnsystemen durch *FEM*-Simulationen an einer Vielzahl von 2d-Modellen untersucht. In den Variationsumfang wurden Modelle mit konventionellem SiO_2 , repräsentativem low-k Material und Airgaps aufgenommen. Zusätzlich wurden das Integrationsschema (hybrid und full) und die Verfügbarkeit sowie die Konstellation von Durchkontaktierungen variiert. Bestimmt wurden die resultierenden thermischen Profile bei gleichen Randbedingungen. Weiterhin ist das thermische Übersprechen der Leitbahnen zueinander für einen Vergleich heran gezogen worden. Für die Diskretisierung komplexer Leitbahnarchitekturen wurden einzelne Grundelemente beider Airgap-Ansätze charakterisiert und deren effektive thermische Leitfähigkeit λ_{eff} berechnet. Darüber hinaus wird die 3ω -Methode zur Bestimmung der thermischen Leitfähigkeit dünner Filme beschrieben. Die letzte Passage des Kapitels widmet sich dem mechanischen Verhalten von Airgap-Strukturen für verschiedene Belastungsfälle während der Prozessierung. Es werden Wirkungen auf freitragende Schichten und Grenzflächen bestimmt. In diesem Zusammenhang wird der Einfluss variierter Geometrie untersucht.

Die elementaren Ergebnisse dieser Arbeit werden in Kapitel 7 zusammengefasst.

Kapitel 2

Leitbahnsysteme der Mikroelektronik

2.1 Das RC-Produkt

Die stetige Erhöhung der Packungsdichte und Leistungsfähigkeit integrierter Schaltungen¹ mittels Skalierung führte dazu, dass unerwünschte Effekte zu limitierenden Faktoren dieser Bauelemente wurden [16], [17], [18], [19]. Verringerte Abstände von Leitbahnen der Verdrahtungssysteme in IC's bewirken größere parasitäre Kapazitäten zwischen diesen und zeitintensivere Umladungsvorgänge sind notwendig, um den Signalpegel einer Informationsleitung zu ändern. Weiterhin resultiert ein stärkeres Übersprechen der Leitungen untereinander, wodurch die Signalqualität gemindert wird. Der Wirkungsgrad des Systems wird gesenkt und der Verlustanteil der eingekoppelten Energie, welcher letztendlich in Wärme umgesetzt wird, nimmt zu. Für



Abbildung 2.1: Schematische Abbildung eines Leitbahnsystems zur Abschätzung der Signalverzögerung τ_{BEOL} nach Bohr [15]

die Beurteilung des Einflusses der zunehmenden Integrationsdichte auf die Leistungsfähigkeit des Verdrahtungssystems (*BEOL*) kann die Signalverzögerung τ_{BEOL} heran gezogen werden. Diese berücksichtigt sowohl vorliegende Geometrien wie auch Materialparameter

¹engl.: Integrated Circuit (IC)

der verwendeten metallischen und dielektrischen Schichten (Gleichung 2.1).

$$\tau_{BEOL} = RC \tag{2.1}$$

R entspricht dem ohmschen Widerstand einer metallischen Leitbahn und C repräsentiert die Summe aller auftretenden Kapazitäten dieser Leitbahn zu benachbarten Elektroden. Bohr veröffentlichte 1995 ein Modell erster Näherung zur Abschätzung der Zeitkonstante τ_{BEOL} [15]. Dieses Modell beschreibt eine Leitbahn umgeben von Verdrahtungen der gleichen sowie darüber und darunter befindlichen Metallisierungsebenen (Abbildung 2.1). Es wird davon ausgegangen, dass der Abstand der Metallisierungsebenen und die Leiterhöhe h identisch sind. Die Leiterbreite b und der Leitbahnabstand s entsprechen dem halben Pitchmaß P mit P = b + s, wodurch sich P = 2b ergibt. Das Verhältnis von Leiterhöhe zu Leiterbreite wird durch das Aspektverhältnis v_a beschrieben. Es resultieren 4 Kapazitäten. C_{h1} und C_{h2} sind die Kapazitäten der gleichen Metallisierungsebene, während sich C_{v1} und C_{v2} zu oberhalb und unterhalb befindlichen Leitbahnen ausbilden. Es gilt $C_h = C_{h1} = C_{h2}$ und $C_v = C_{v1} = C_{v2}$. Für das hier dargestellte Modell wurden, über die Betrachtungen von Bohr hinaus, verschiedene dielektrische Bereiche eingeführt. Man unterscheidet das Dielektrikum der Metallisierungsebene mit der Permittivität k_{Metall}^2 und das Dielektrikum zwischen den Leitbahnebenen mit k_{Via}^{3} . Der ohmsche Widerstand des mittleren Leiterzugs aus Abbildung 2.1 wird nach Gleichung 2.2 bestimmt.

$$R = \rho \frac{l}{A} = \rho \frac{l}{bh} = \rho \frac{l}{b^2 v_a} = \rho \frac{4l}{P^2 v_a}$$
(2.2)

 ρ entspricht dem spezifischen elektrischen Widerstand, A der Querschnittsfläche und l der Länge der Leitbahn. Unter Annahme der Anordnung eines idealen Plattenkondensators lassen sich die Kapazitäten C_h (Gleichung 2.3) und C_v (Gleichung 2.4) abschätzen.

$$C_h = k_0 k_{Metall} \frac{hl}{s} = k_0 l k_{Metall} v_a \tag{2.3}$$

$$C_v = k_0 k_{Via} \frac{bl}{h} = k_0 l \frac{k_{Via}}{v_a}$$
(2.4)

Abgeleitet aus Abbildung 2.1 wird die Summe aller Einzelkapazitäten beschrieben nach Gleichung 2.5.

$$C = 2C_h + 2C_v = 2k_0 l(k_{Metall}v_a + \frac{k_{Via}}{v_a})$$
(2.5)

²relative Dielektriztätskonstante, im deutschen Sprachraum mit ε_r bezeichnet

 $^{^3 \}mathit{Via}$ steht für die prinzipiell in diesen Ebenen ausgebildeten Durchkontaktierungen